

05/01417905



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

RECEIVED
AUG 30 2001
TECHNOLOGY CENTER 2800

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 2月19日

出願番号

Application Number:

平成11年特許願第041867号

出願人

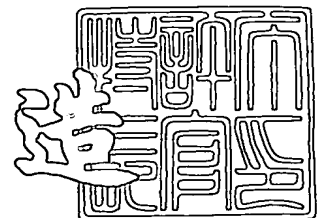
Applicant(s):

キヤノン株式会社

2000年12月22日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3106878

【書類名】 特許願

【整理番号】 3681088

【提出日】 平成11年 2月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 29/46

【発明の名称】 電子源、画像形成装置、及びこれらの製造方法

【請求項の数】 17

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 川崎 秀司

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

【代理人】

 【識別番号】 100096828

 【弁理士】

 【氏名又は名称】 渡辺 敬介

 【電話番号】 03-3501-2138

【選任した代理人】

 【識別番号】 100059410

 【弁理士】

 【氏名又は名称】 豊田 善雄

 【電話番号】 03-3501-2138

【手数料の表示】

 【予納台帳番号】 004938

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

特平 1 1 - 0 4 1 8 6 7

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703710

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子源、画像形成装置、及びこれらの製造方法

【特許請求の範囲】

【請求項 1】 基板上に形成された一対の素子電極と、該素子電極のそれぞれに電氣的に接続された導電性膜と、該導電性膜の一部に形成された電子放出部とを有する電子放出素子を複数個、同一基板上に形成し、配線にて各素子の素子電極をそれぞれ梯子状或いはマトリクス状に接続してなる電子源の製造方法であって、少なくとも上記配線と素子電極とを形成した基板の、該配線を有する面に電界を印加する電界印加工程を有することを特徴とする電子源の製造方法。

【請求項 2】 上記電界印加工程において、上記基板の配線を有する面に対向して電極を設け、該電極と基板上の配線間に電圧を印加することにより電界を印加する工程である請求項 1 記載の電子源の製造方法。

【請求項 3】 上記電極が平板電極である請求項 2 記載の電子源の製造方法。

【請求項 4】 上記電極と上記配線間に与える電圧を電界印加工程中に変化させる請求項 2 または 3 に記載の電子源の製造方法。

【請求項 5】 上記電極と基板間の距離を電界印加工程中に変化させる請求項 2 ～ 4 のいずれかに記載の電子源の製造方法。

【請求項 6】 上記電極と該電極に電圧を印加する電源との間に電流制限抵抗を接続する請求項 2 ～ 5 のいずれかに記載の電子源の製造方法。

【請求項 7】 上記電界印加工程が真空雰囲気下で行われる請求項 1 ～ 6 のいずれかに記載の電子源の製造方法。

【請求項 8】 上記電界印加工程が、各素子の導電性膜に電子放出部を形成する工程の前に行われる請求項 1 ～ 7 のいずれかに記載の電子源の製造方法。

【請求項 9】 上記電界印加工程が、各素子の導電性膜を形成する工程の前に行われる請求項 1 ～ 7 のいずれかに記載の電子源の製造方法。

【請求項 10】 基板上に形成された一対の素子電極と、該素子電極のそれぞれに電氣的に接続された導電性膜と、該導電性膜の一部に形成された電子放出部とを有する電子放出素子を複数個、同一基板上に形成し、配線にて各素子の素

子電極をそれぞれ梯子状或いはマトリクス状に接続してなり、請求項 1 ～ 9 のいずれかに記載の電子源の製造方法により製造されたことを特徴とする電子源。

【請求項 1 1】 上記電子放出素子が表面伝導型電子放出素子である請求項 1 0 記載の電子源。

【請求項 1 2】 上記電子放出素子を複数個並列に配置し結線してなる素子行を少なくとも 1 行以上有し、各素子を駆動するための配線が梯子状配置されていることを特徴とする請求項 1 0 または 1 1 に記載の電子源。

【請求項 1 3】 上記電子放出素子を複数個配列してなる素子行を少なくとも 1 行以上有し、該素子を駆動するための配線がマトリクス配置されていることを特徴とする請求項 1 0 または 1 1 に記載の電子源。

【請求項 1 4】 請求項 1 2 記載の電子源と、画像形成部材、及び情報信号により各素子から放出される電子線を制御する制御電極を有することを特徴とする画像形成装置。

【請求項 1 5】 請求項 1 3 記載の電子源と、画像形成部材とを有することを特徴とする画像形成装置。

【請求項 1 6】 請求項 1 ～ 9 のいずれかに記載の電子源の製造方法で得られた電子源を、該電子源から放出される電子線を制御する制御電極と、該電子源からの電子線の照射により画像を形成する画像形成部材と組み合わせることを特徴とする画像形成装置の製造方法。

【請求項 1 7】 請求項 1 ～ 9 のいずれかに記載の電子源の製造方法で得られた電子源を、該電子源からの電子線の照射により画像を形成する画像形成部材と組み合わせることを特徴とする画像形成装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、基板上に複数の電子放出素子が形成された電子源の製造方法と該製造方法による電子源、及び、該電子源を用いた画像形成装置とその製造方法に関する。

【0 0 0 2】

【従来の技術】

従来より、電子放出素子としては大別して熱電子放出素子と冷陰極電子放出素子を用いた2種類のものが知られている。冷陰極電子放出素子には電界放出型（以下、「FE型」という。）、金属／絶縁層／金属型（以下、「MIM型」という。）や表面伝導型電子放出素子等がある。表面伝導型電子放出素子の例としては、M. I. Elinson, Recio Eng. Electron Phys. , 10, 1290, (1965) 等に関示されたものがある。

【0003】

表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。特開平7-235255号公報には、Pd等の金属薄膜を用いた表面伝導型電子放出素子が開示されている。その素子構成を図1に模式的に示す。同図において1は基板、2, 3は素子電極、4は導電性膜、5は電子放出部である。導電性膜4はPd等の金属酸化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により、局所的に破壊、変形もしくは変質せしめ、電氣的に高抵抗な状態にした電子放出部5が形成される。

【0004】

さらに、電子放出特性を改善するため、後述するように「活性化」と称する処理を行い、上記電子放出部とその亀裂近傍に、炭素・炭素化合物からなる膜（カーボン膜）を形成する場合がある。この工程は、有機物質を含む雰囲気中で、素子にパルス電圧を印加し、炭素・炭素化合物を電子放出部周辺に堆積させる方法により、行うことができる。

【0005】

上述の表面伝導型電子放出素子は構造が単純で製造も容易であることから、大面積にわたって多数素子を配列形成できる利点がある。そこで、この特徴を生かせるようないろいろな応用が研究されている。例えば、荷電ビーム源、表示装置等があげられる。多数の表面伝導型電子放出素子を配列形成した例としては、後述する様に、並列に表面伝導型電子放出素子を配列し、個々の素子の両端を配線（共通配線とも呼ぶ）で、それぞれ結線した行を多数行配列した電子源があげら

れる。（例えば、特開昭64-031332号公報、特開平1-283749号公報、特開平2-257552号公報等）表示装置等の画像形成装置においては、近年、液晶を用いた平板型表示装置がCRTに替わって普及してきたが、自発光型でないため、バックライトを持たなければならない等の問題点があり、自発光型の表示装置の開発が、望まれてきた。自発光型表示装置としては、表面伝導型電子放出素子を多数配置した電子源と、電子源より放出された電子によって可視光を発光せしめる蛍光体とを組み合わせた表示装置である画像形成装置があげられ（例えば、USP5066883）、電子源と蛍光体を有する基板の対向距離を短くすることで、従来のCRTと異なり、薄型の画像形成装置が得られる。

【0006】

【発明が解決しようとする課題】

一般に、電子源から放出された電子は、電子源と蛍光体との間に印加された電圧（加速電圧）により加速され、蛍光体に衝突し発光する。従って、表示画像は、加速電圧が大きいほど高輝度となる。しかしながら、前述したように電子源と蛍光体を有する基板の対向距離を短くした薄型の画像形成装置の場合、加速電圧によって電子源と蛍光体との間に形成される電界強度が大きくなる。

【0007】

しかしながら、このような場合、以下のような問題点があった。

【0008】

強電界が印加された電子源上に例えば突起などがある場合、そこに電界が集中し、電子放出する場合がある。放出電流による発熱や強電界の影響で、突起の形状がさらに先鋭になり、電界強度がさらに大きくなり、電子放出量が増加する。このような正のフィードバックがかかると、最終的には、突起部が熱的に破壊されるという現象が起こる。

【0009】

このような現象が起こると、突起部の破壊だけではなく、画像形成装置内の真空雰囲気が悪くなる。これらがトリガーとなって、高電界が印加された、電子源と蛍光体との間で放電現象が起こり、加速された陽イオンが電子源に衝突し、電子源にダメージを与え、画像欠陥を引き起こすという問題が生じている。

【 0 0 1 0 】

本発明の目的は、上記問題点を解決し、画像形成装置内における放電現象を引き起こす突起等の要因を電子源から取り除く電子源の製造方法を提供し、該製造方法によって、良好な信頼性の高い電子源を製造し、長時間の画像表示においても欠落画素のない画像形成装置を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

本発明は、上述した課題を解決するために鋭意検討を行ってなされたものであり、下述する構成のものである。

【 0 0 1 2 】

本発明の電子源の製造方法は、基板上に形成された一对の素子電極と、該素子電極のそれぞれに電氣的に接続された導電性膜と、該導電性膜の一部に形成された電子放出部とを有する電子放出素子を複数個、同一基板上に形成し、配線にて各素子の素子電極をそれぞれ梯子状或いはマトリクス状に接続してなる電子源の製造方法であって、少なくとも上記配線と素子電極とを形成した基板の、該配線を有する面に電界を印加する電界印加工程を有することを特徴とする。

【 0 0 1 3 】

また、本発明の電子源は、基板上に形成された一对の素子電極と、該素子電極のそれぞれに電氣的に接続された導電性膜と、該導電性膜の一部に形成された電子放出部とを有する電子放出素子を複数個、同一基板上に形成し、配線にて各素子の素子電極をそれぞれ梯子状或いはマトリクス状に接続してなり、上記本発明の電子源の製造方法により製造されたことを特徴とする。

【 0 0 1 4 】

さらに本発明の第一の画像形成装置は、上記電子放出素子を複数個並列に配置し結線してなる素子行を少なくとも 1 行以上有し、各素子を駆動するための配線が梯子状配置されている電子源と、画像形成部材、及び情報信号により各素子から放出される電子線を制御する制御電極を有することを特徴とし、第二の画像形成装置は、上記電子放出素子を複数個配列してなる素子行を少なくとも 1 行以上有し、該素子を駆動するための配線がマトリクス配置されている電子源と、画像

形成部材とを有することを特徴とする。

【0015】

さらにまた、本発明の第一の画像形成装置の製造方法は、上記本発明の電子源の製造方法で得られた電子源を、該電子源から放出される電子線を制御する制御電極と、該電子源からの電子線の照射により画像を形成する画像形成部材と組み合わせることを特徴とし、第二の画像形成装置の製造方法は、上記本発明の電子源の製造方法で得られた電子源を、該電子源からの電子線の照射により画像を形成する画像形成部材と組み合わせることを特徴とする。

【0016】

【発明の実施の形態】

本発明の電子源を構成する電子放出素子としては、表面伝導型電子放出素子が好ましく用いられる。表面伝導型電子放出素子には平面型と垂直型があるが、以下、本発明の好ましい実施形態として、平面型の表面伝導型電子放出素子を用いて構成した電子源及び画像形成装置を例に挙げて本発明を詳細に説明する。本発明に用いられる表面伝導型電子放出素子は、例えば特開平 7 - 2 3 5 2 5 5 号公報に記載された素子である。

【0017】

図 1 は、本発明で用いられる平面型表面伝導型電子放出素子の一例の構成を示す図であり、図 1 (a)、(b) はその平面図と断面図である。図 1 において 1 は基板、2 と 3 は素子電極、4 は導電性膜、5 は電子放出部である。

【0018】

基板 1 としては、石英ガラス、Na 等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法等により形成した SiO_2 を積層したガラス基板及びアルミナ等のセラミックス及び Si 基板等を用いることができる。

【0019】

対向する素子電極 2、3 の材料としては、一般的な導体材料を用いることができる。例えば Ni、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd 等の金属或いは合金及び Pd、Ag、Au、 RuO_2 、Pd-Ag 等の金属或いは金属酸化物とガラス等から構成される印刷導体、 In_2O_3 - SnO_2 等の透明導電

体及びポリシリコン等の半導体導体材料等から適宜選択される。

【0020】

素子電極間隔 L 、素子電極長さ W 、導電性膜4の形状等は、応用される形態等を考慮して設計される。素子電極間隔 L は、好ましくは数百nm～数百 μ mの範囲とし、より好ましくは、素子電極間に印加する電圧等を考慮して、数 μ m～数十 μ mの範囲とする。素子電極長さ W は、電極の抵抗値、電子放出特性を考慮すると、好ましくは数 μ m～数百 μ mの範囲であり、素子電極2、3の膜厚 d は、好ましくは数十nm～数 μ mの範囲である。

【0021】

尚、図1に示した構成だけでなく、基板1上に、導電性膜4、対向する素子電極2、3の順に積層した構成とすることもできる。

【0022】

導電性膜4の膜厚は、素子電極2、3へのステップカバレッジ、素子電極2、3間の抵抗値及び後述するフォーミング条件等を考慮して適宜設定されるが、通常は、0.1nmの数倍から数百nmの範囲とするのが好ましく、より好ましくは1nmより50nmの範囲とするのが良い。その抵抗値は、 R_s が 10^2 から $10^7 \Omega/\square$ の値である。なお R_s は、厚さが t 、幅が w で長さが l の薄膜の抵抗 R を、 $R = R_s (l/w)$ とおいたときに現れる量である。

【0023】

導電性膜4を構成する材料は、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pd等の金属、PdO, SnO₂, In₂O₃, PbO, Sb₂O₃等の酸化物、HfB₂, ZrB₂, LaB₆, CeB₆, YB₄, GdB₄等の硼化物、TiC, ZrC, HfC, TaC, SiC, WC等の炭化物、TiN, ZrN, HfN等の窒化物、Si, Ge等の半導体、カーボン等の中から適宜選択される。

【0024】

電子放出部5は、導電性膜4の一部に形成された高抵抗の亀裂により構成され、導電性膜4の膜厚、膜質、材料及び後述する通電フォーミング等の手法等に依存したものとなる。電子放出部5の内部には、0.1nmの数倍から数十nmの

範囲の粒径の導電性微粒子が存在する場合もある。この導電性微粒子は、導電性膜 4 を構成する材料の元素の一部、あるいは全ての元素を含有するものとなる。電子放出部 5 及びその近傍の導電性膜 4 には、炭素及び炭素化合物を有することもできる。

【 0 0 2 5 】

上記電子放出素子の基本的な製造方法の一例を図 2 に示す。尚、図 2 において、図 1 に示した部位と同じ部位には同一の符号を付している。

【 0 0 2 6 】

1) 基板 1 を洗剤、純水および有機溶剤等を用いて十分に洗浄し、真空蒸着法、スパッタ法等により、素子電極材料を堆積後、例えばフォトリソグラフィ技術を用いて基板 1 上に素子電極 2、3 を形成する (図 2 (a))。

【 0 0 2 7 】

2) 素子電極 2、3 を設けた基板 1 に、有機金属溶液を塗布して、有機金属薄膜を形成する。有機金属溶液には、前述の導電性膜 4 の材料の金属を主元素とする有機金属化合物の溶液を用いることができる。有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターニングし、導電性膜 4 を形成する (図 2 (b))。ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性膜 4 の形成法はこれに限られるものでなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナー法、インクジェット法等を用いることもできる。

【 0 0 2 8 】

インクジェット法を用いた場合には、10 ng から数十 ng 程度の微小液滴を再現性良く発生し基板に付与することができ、フォトリソグラフィによるパターニングや真空プロセスが不要であるため、生産性の上から好ましい。インクジェット法の装置としては、エネルギー発生素子として電気熱変換体を用いたバブルジェットタイプ、或いは圧電素子を用いたピエゾジェットタイプ等が使用可能である。上記液滴の焼成手段としては、電磁波照射手段や加熱空気照射手段、基板全体を加熱する手段が用いられる。電磁波照射手段としては、例えば赤外線ランプ、アルゴンイオンレーザー、半導体レーザー等を用いることができる。

【 0 0 2 9 】

3) つづいて、フォーミング工程を施す。このフォーミング工程の方法の一例として通電処理による方法を説明する。素子電極 2、3 間に、不図示の電源を用いて、通電を行うと、導電性膜 4 の部位に、構造の変化した電子放出部 5 が形成される (図 2 (c))。通電フォーミングによれば導電性膜 4 に局所的に破壊、変形もしくは変質等の構造の変化した部位 (一般に、亀裂形態である場合が多い) が形成される。該部位が電子放出部 5 を構成する。通電フォーミングの電圧波形の例を図 3 に示す。

【 0 0 3 0 】

電圧波形は、パルス波形が好ましい。これにはパルス波高値を定電圧としたパルスを連続的に印加する図 3 (a) に示した手法とパルス波高値を増加させながら電圧パルスを印加する図 3 (b) に示した手法がある。

【 0 0 3 1 】

先ず、パルス波高値を定電圧とした場合について、図 3 (a) で説明する。図 3 (a) における T_1 及び T_2 は電圧波形のパルス幅とパルス間隔である。三角波の波高値 (通電フォーミング時のピーク電圧) は、表面伝導型電子放出素子の形態に応じて適宜選択される。このような条件のもと、例えば、数秒～数十秒間電圧を印加する。パルス波形は、三角波に限定されるものではなく、矩形波等の所望の波形を採用することができる。

【 0 0 3 2 】

次に、パルス波高値を増加させながら電圧パルスを印加する場合について図 3 (b) で説明する。図 3 (b) における T_1 及び T_2 は図 3 (a) に示した T_1 、 T_2 と同様である。また三角波の波高値は、例えば 0. 1 V 程度ずつ増加させる。

【 0 0 3 3 】

通電フォーミング処理の終了は、パルス間隔 T_2 中に、導電性膜 4 を局所的に破壊、変形しない程度の電圧を印加し、電流を測定して検知することができる。例えば、0. 1 V 程度の電圧印加により流れる電流を測定し、抵抗値を求めて、1 M Ω 以上の抵抗を示した時、通電フォーミングを終了する。

【 0 0 3 4 】

4) フォーミングを終えた素子には活性化工程と呼ばれる処理を施す。活性化工程とは、この工程により、素子電流 I_f 、放出電流 I_e が著しく変化する工程である。

【 0 0 3 5 】

活性化工程は、例えば、有機物質を含有する雰囲気下で、通電フォーミングと同様に、パルス電圧の印加を繰り返すことで行うことができる。このときの好ましい有機物質のガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類などにより異なるため、場合に応じ適宜設定される。

【 0 0 3 6 】

この処理により、雰囲気中に存在する有機物質から、導電性膜上に形成された電子放出部に、炭素あるいは炭素化合物が堆積し、素子電流 I_f 、放出電流 I_e が著しく変化するようになる。

【 0 0 3 7 】

ここで、炭素及び炭素化合物とは、例えばグラファイト（いわゆる HOPG、PG、GC を包含するもので、HOPG はほぼ完全なグラファイトの結晶構造、PG は結晶粒が 200 Å 程度で結晶構造がやや乱れたもの、GC は結晶粒が 20 Å 程度になり結晶構造の乱れがさらに大きくなったものを指す。）、非晶質カーボン（アモルファスカーボン及び、アモルファスカーボンと前記グラファイトの微結晶の混合物を指す）であり、その膜厚は、50 nm 以下の範囲とするのが好ましく、30 nm 以下の範囲とすることがより好ましい。

【 0 0 3 8 】

本発明で用いることができる、適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン酸、スルホン酸等の有機酸類等を挙げることが出来、具体的には、メタン、エタン、プロパンなど C_nH_{2n+2} で表される飽和炭化水素、エチレン、プロピレン、アセチレンなど C_nH_{2n} 、 C_nH_{2n-2} や C_nH_{2n-2} 等の組成式で表される不飽和炭化水素、ベンゼン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケ

トン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等が使用できる。本発明では、これらの有機物質を単独で用いても良いし、必要に応じては、混合して用いても良い。

【0039】

また、これらの有機物質を有機物質でない他のガスと希釈して用いても良い。希釈ガスとして用いることができるガスの種類としては、例えば、窒素、アルゴン、キセノンといった不活性ガスが挙げられる。

【0040】

本発明では、活性化工程における電圧印加の手法は、電圧値の時間変化、電圧印加の方向、波形等の条件が考えられる。

【0041】

電圧値の時間変化は、フォーミングと同様に、電圧値を時間とともに上昇させていく手法や、固定電圧で行う手法で行うことができる。

【0042】

活性化工程の終了判定は、素子電流 I_f と放出電流 I_e を測定しながら、適宜行う。

【0043】

5) このような工程を経て得られた電子放出素子は、安定化工程を行うことが好ましい。この工程は、真空容器内の有機物質を排気する工程である。真空容器を排気する真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソーブションポンプ、イオンポンプ等の真空排気装置を挙げることが出来る。

【0044】

真空容器内の有機成分の分圧は、上記の炭素及び炭素化合物がほぼ新たに堆積しない分圧で 1.3×10^{-6} Pa 以下が好ましく、さらには 1.3×10^{-8} Pa 以下が特に好ましい。さらに真空容器内を排気するときには、真空容器全体を加熱して、真空容器内壁や、電子放出素子に吸着した有機物質分子を排気しやすくするのが好ましい。このときの加熱条件は、 $80 \sim 250^\circ\text{C}$ 、好ましくは 150°C 以上で、できるだけ長時間処理するのが望ましいが、特にこの条件に限るもの

ではなく、真空容器の大きさや形状、電子放出素子の構成などの諸条件により適宜選ばれる条件により行う。真空容器内の圧力は極力低くすることが必要で、 $1 \times 10^{-5} \text{ Pa}$ 以下が好ましく、さらに $1.3 \times 10^{-6} \text{ Pa}$ 以下が特に好ましい。

【0045】

安定化工程を行った後の、駆動時の雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましいが、これに限るものではなく、有機物質が十分除去されていれば、圧力自体が多少上昇しても十分安定な特性を維持することが出来る。このような真空雰囲気を採用することにより、新たな炭素あるいは炭素化合物の堆積を抑制でき、また真空容器や基板などに吸着した H_2O 、 O_2 などとも除去でき、結果として素子電流 I_f 、放出電流 I_e が安定する。

【0046】

上述した工程を経て得られた本発明に用いられる電子放出素子の基本特性について図4、図5を参照しながら説明する。

【0047】

図4は、真空処理装置の一例を示す模式図であり、この真空処理装置は測定評価装置としての機能をも兼ね備えている。図4においても、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。図4において、45は真空容器であり、46は排気ポンプである。真空容器45内には電子放出素子が配されている。即ち、1は電子放出素子を構成する基板であり、2及び3は素子電極、4は導電性膜、5は電子放出部である。41は、電子放出素子に素子電圧 V_f を印加するための電源、40は素子電極2、3間の導電性膜4を流れる素子電流 I_f を測定するための電流計、44は素子の電子放出部より放出される放出電流 I_e を捕捉するためのアノード電極である。43はアノード電極44に電圧を印加するための高圧電源、42は素子の電子放出部5より放出される放出電流 I_e を測定するための電流計である。一例として、アノード電極の電圧を $1 \text{ kV} \sim 10 \text{ kV}$ の範囲とし、アノード電極と電子放出素子との距離 H を $2 \text{ mm} \sim 8 \text{ mm}$ の範囲として測定を行うことができる。

【0048】

真空容器45内には、不図示の真空計等の真空雰囲気下での測定に必要な機器

が設けられていて、所望の真空雰囲気下での測定評価を行えるようになっている。排気ポンプ46は、ターボポンプ、ロータリーポンプからなる通常の高真空装置系と更に、イオンポンプ等からなる超高真空装置系とにより構成されている。ここに示した電子源基板を配した真空処理装置の全体は、不図示のヒーターにより加熱できる。従って、この真空処理装置を用いると、前述の通電フォーミング以降の工程も行うことができる。

【0049】

図5は、図4に示した真空処理装置を用いて測定された放出電流 I_e 、素子電流 I_f と素子電圧 V_f の関係を模式的に示した図である。図5においては、放出電流 I_e が素子電流 I_f に比べて著しく小さいので、任意単位で示している。なお、縦・横軸ともリニアスケールである。

【0050】

図5からも明らかなように、本発明に用いられる表面伝導型電子放出素子は、放出電流 I_e に関して以下の三つの特徴的性質を有する。

【0051】

即ち、

(i) 本素子はある電圧（しきい値電圧と呼ぶ、図5中の V_{th} ）以上の素子電圧を印加すると急激に放出電流 I_e が増加し、一方しきい値電圧 V_{th} 以下では放出電流 I_e がほとんど検出されない。つまり、放出電流 I_e に対する明確なしきい値電圧 V_{th} を持った非線形素子である。

【0052】

(ii) 放出電流 I_e が素子電圧 V_f に単調増加依存するため、放出電流 I_e は素子電圧 V_f で制御できる。

【0053】

(iii) アノード電極44に捕捉される放出電荷は、素子電圧 V_f を印加する時間に依存する。つまり、アノード電極44に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0054】

以上の説明より理解されるように、本発明に用いられる電子放出素子は、入力

信号に応じて、電子放出特性を容易に制御できることになる。この性質を利用すると複数の電子放出素子を配して構成した電子源、画像形成装置等、多方面への応用が可能となる。図 5 においては、素子電流 I_f が素子電圧 V_f に対して単調増加する（以下、「MI 特性」という。）例を示した。素子電流 I_f が素子電圧 V_f に対して電圧制御型負性抵抗特性（以下、「VCNR 特性」という。）を示す場合もある（不図示）。これら特性は、前述の工程を制御することで制御できる。

【0055】

本発明の電子源は上記した電子放出素子が複数個、基板上に配列したものであり、さらに本発明の画像形成装置は、該電子源と、電子源からの電子線の照射により画像を形成することができる画像形成部材とを組み合わせ構成される。

【0056】

本発明の電子源において、電子放出素子の配列については、種々のものが採用できる。一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し（行方向と呼ぶ）、この配線と直交する方向（列方向と呼ぶ）で、該電子放出素子の上方に配した制御電極（グリッドとも呼ぶ）により、電子放出素子からの電子を制御駆動する梯子状配置のものがある。これとは別に、電子放出素子を X 方向及び Y 方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、X 方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方を、Y 方向の配線に共通に接続するものが挙げられる。このようなものは所謂単純マトリクス配置である。まず単純マトリクス配置について以下に詳述する。

【0057】

図 6 は本発明の電子源の一実施形態である単純マトリクス配置の電子源の模式図である。図 6 において、61 は電子源基板、62 は X 方向配線、63 は Y 方向配線である。64 は表面伝導型電子放出素子、65 は結線である。

【0058】

m 本の X 方向配線 62 は、 D_{x1} , D_{x2} , ..., D_{xm} からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、幅は適宜設計される。Y 方向配線 63 は、 D_{y1} , D_{y2} , ..., D_{ym}

y_n の n 本の配線よりなり、X 方向配線 6 2 と同様に形成される。

【0 0 5 9】

これら m 本の X 方向配線 6 2 と n 本の Y 方向配線 6 3 との間には、不図示の層間絶縁層が設けられており、両者を電氣的に分離している (m , n は、共に正の整数)。不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された SiO_2 等で構成される。例えば、X 方向配線 6 2 を形成した基板 6 1 の全面或は一部に所望の形状で形成され、特に、X 方向配線 6 2 と Y 方向配線 6 3 の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定される。

【0 0 6 0】

X 方向配線 6 2 と Y 方向配線 6 3 は、それぞれ外部端子として引き出されている。表面伝導型電子放出素子 6 4 を構成する一対の電極 (不図示) は、 m 本の X 方向配線 6 2 と n 本の Y 方向配線 6 3 と導電性金属等からなる結線 6 5 によって電氣的に接続されている。配線 6 2 と配線 6 3 を構成する材料、結線 6 5 を構成する材料及び一対の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、またそれぞれ異なってもよい。これら材料は、例えば前述の素子電極の材料より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極ということもできる。

【0 0 6 1】

本発明に用いられる電子放出素子については、前述したとおり (i) 乃至 (i i i) の特性がある。即ち、電子放出素子からの放出電子は、しきい値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と幅で制御できる。一方、しきい値電圧以下では、殆ど放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子に、パルス状電圧を適宜印加すれば、入力信号に応じて電子放出素子を選択して電子放出量を制御できる。

【0 0 6 2】

例えば、Y 方向配線 6 3 には、Y 方向に配列した表面伝導型電子放出素子 6 4 の行を選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、X 方向配線 6 2 には、X 方向に配列した表面伝導型電子放出素子 6 4 の各列を入力信号に応じて変調するための不図示の変調信号発生手段が接続され

る。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【 0 0 6 3 】

上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【 0 0 6 4 】

本発明の製造方法において、このようにして作成された多数の電子源を有する電子源基板に高電界を印加することを特徴とする。画像形成装置における放電現象を引き起こす突起などが電子源に形成されていた場合、本願発明にかかる電界印加工工程において放電現象を発生させることによって破壊される。即ち、画像形成装置において放電現象を引き起こす突起などを、予め画像形成装置の駆動状態と同様の状態を設けることによって、意図的に放電現象を生じせしめて破壊除去するものである。

【 0 0 6 5 】

本発明に係る電子源基板に電界を印加する工程は、後述するフォーミング工程の前に行うことが好ましい。これは、フォーミング工程後では、マトリクス配線上に、フォーミングされ、亀裂を有する導電性膜が接続されているので、電子源基板に電界を印加した際に電子源基板上に電流が流れた場合、マトリクス配線の配線抵抗による電位上昇により、導電性膜にフォーミング工程で印加した以上の電圧がかかり、亀裂形態が破壊され、電子源の製造ができなくなる可能性があるからである。これに対して、フォーミング工程前では導電膜を介して電流が逃げるため電位上昇が抑制され、ダメージを低減できる。

【 0 0 6 6 】

さらに、基板上にマトリクス配線と素子電極のみが形成された状態で電界印加工工程を行う方が、導電性膜に対する影響が無いので好ましい。

【 0 0 6 7 】

図 7 は、電子源基板と電極を対向させる際の、基板配置の例および基板と電極間に与える印加電界の例を示す概念図である。

【 0 0 6 8 】

図 7 (a) で示されるように、GND に接続された基板ステージ 7 3 上に配置された電子源基板 7 1 に対向した位置に電極 7 2 を設ける。さらに、電子源基板 7 1 上の配線 7 4 を配線の端部で導電性の取り出し部材 7 5 に共通に接続し、ケーブル等で GND に接続し、電極 7 2 を高圧電源 7 6 に接続する。ここで、導電性の取り出し部材としては、比較的柔らかい金属材料（金、インジウムなど）のシートやワイヤーが用いられ、これらを圧着して用いられる。そして、電子源基板 7 1 と電極 7 2 間に電圧を印加することにより電子源基板に電界 E を印加する。

【 0 0 6 9 】

一般にマトリクス配線は、多くの電子放出素子が駆動されるので、配線抵抗が低いことが望まれるため、配線の厚さや幅をできるだけ大きくする方が好ましい。配線の幅は、画像形成装置の精細度を確保するためにはあまり大きくすることは難しく、厚みを大きくする場合がある。

【 0 0 7 0 】

厚みの厚い配線を作る場合、蒸着時間が長くなったり、繰り返し印刷を行ったりする場合があり、このようなときには、配線上などに異物が付着するなどの危険性が増し、強電界がかかる突起部が発生する可能性がある。

【 0 0 7 1 】

後述する画像形成装置において、蛍光体との距離が最も近くなるのはマトリクス配線の上配線であり、上配線の上でも上配線が層間絶縁層を介して下配線と交差する領域が最も蛍光体との距離が近くなる。従って、図 7 (a) に示すような平板電極を用いる場合、電子源基板との平行度を十分に取り、電子源基板全面にわたって電界が十分に印加されることが必要である。

【 0 0 7 2 】

また、高電圧を印加されるケーブルでは、電流制限のための抵抗（不図示）を入れ、電流の上限を規制するほうが好ましい。

【 0 0 7 3 】

また、電子源基板間に流れる電流を測定する装置 7 7 を用い、電子源基板間に生じる放電現象を評価することができる。

【0074】

電界印加工程において印加される電界強度は、画像形成装置として電子源と蛍光体間に印加される電界強度以上である必要がある。電子源と蛍光体間の距離は、薄型画像形成装置を実現する点や電子ビームの広がりなどの点から、約2～6mmで有り、加速電圧値は、蛍光体の発光特性などで左右されるが、高輝度画像を実現する点で、一般のCRT用蛍光体では6～10kV必要と思われる。従って、電界印加工程で印加される電界強度は、1～5kV/mm程度である。

【0075】

電界印加工程で電界を印加する時間は、画像表示装置の駆動時間程度が好ましいが、電界印加工程に時間がかかる。電界印加強度を実際の駆動時の電界印加強度より大きくすることで、この時間を短くすることができる。

【0076】

例えば、図7(b)に示すように徐々に電界を上げていき、所望の電界で一定時間維持する方法が考えられる。

【0077】

このような単純マトリクス配置の電子源を用いて構成した本発明の画像形成装置について、図8～図10を用いて説明する。

【0078】

図8は、本発明の画像形成装置の一実施形態の表示パネルの一例の構成を示す模式図であり、図9は、図8の表示パネルに使用される蛍光膜の模式図である。図10は、NTSC方式のテレビ信号に応じて表示を行なうための駆動路の一例を示すブロック図である。

【0079】

図8において、61は電子放出素子を複数配した電子源基板、81は電子源基板61を固定したリアプレート、86はガラス基板83の内面に蛍光膜84とメタルバック85等が形成されたフェースプレートである。82は、支持枠であり該支持枠82には、リアプレート81、フェースプレート86が低融点のフリットガラスなどを用いて、接合される。64は、図1に示した電子放出素子に相当する。62、63は、表面伝導型電子放出素子の一对の素子電極と接続されたX

方向配線及びY方向配線である。尚、各素子の導電性膜については便宜上省略した。

【0080】

外囲器 8 8 は、上述の如く、フェースプレート 8 6、支持枠 8 2、リアプレート 8 1 で構成される。リアプレート 8 1 は主に基板 6 1 の強度を補強する目的で設けられるため、基板 7 1 自体で十分な強度を持つ場合は別体のリアプレート 8 1 は不要とすることができる。即ち、基板 6 1 に直接支持枠 8 2 を封着し、フェースプレート 8 6、支持枠 8 2 及び基板 6 1 で外囲器 8 8 を構成しても良い。一方、フェースプレート 8 6、リアプレート 8 1 間に、スペーサーとよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器 8 8 を構成することもできる。

【0081】

図 9 は、蛍光膜を示す模式図である。蛍光膜 8 4 は、モノクロームの場合は蛍光体のみから構成することができる。カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプあるいはブラックマトリクスなどと呼ばれる黒色導電材 9 1 と蛍光体 9 2 とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体 9 2 間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜 8 4 における外光反射によるコントラストの低下を抑制することにある。ブラックストライプの材料としては、通常用いられている黒鉛を主成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

【0082】

ガラス基板 8 3 に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈澱法、印刷法等が採用できる。蛍光膜 8 4 の内面側には、通常メタルバック 8 5 が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート 8 6 側へ鏡面反射させることにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理（通常、「フィ

ルミング」と呼ばれる。)を行い、その後A 1を真空蒸着等を用いて堆積させることで作製できる。

【0083】

フェースプレート86には、更に蛍光膜84の導電性を高めるため、蛍光膜84の外面側に透明電極(不図示)を設けてもよい。

【0084】

前述の封着を行う際には、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【0085】

図8に示した画像形成装置の表示パネルの製造方法の一例を以下に説明する。

【0086】

図11はこの工程に用いる装置の概要を示す模式図である。表示パネル101は、排気管132を介して真空チャンバー133に連結され、さらにゲートバルブ134を介して排気装置135に接続されている。真空チャンバー133には、内部の圧力及び雰囲気中の各成分の分圧を測定するために、圧力計136、四重極質量分析器137等が取り付けられている。表示パネル101の外囲器88内部の圧力などを直接測定することは困難であるため、該真空チャンバー133内の圧力などを測定し、処理条件を制御する。真空チャンバー133には、さらに必要なガスを真空チャンバー内に導入して雰囲気を制御するため、ガス導入ライン138が接続されている。該ガス導入ライン138の他端には導入物質源140が接続されており、導入物質がアンプルやボンベなどに入れて貯蔵されている。ガス導入ラインの途中には、導入物質を導入するレートを制御するための導入量制御手段139が設けられている。該導入量制御手段としては具体的には、スローリークバルブなど逃す流量を制御可能なバルブや、マスフローコントローラーなどが、導入物質の種類に応じて、それぞれ使用が可能である。

【0087】

図11の装置により外囲器88の内部を排気し、フォーミングを行う。この際、例えば図12に示すように、Y方向配線63を共通電極141に接続し、X方向配線62の内の一つに接続された素子に電源142によって、同時に電圧パル

スを印加して、フォーミングを行うことができる。パルスの形状や、処理の終了の判定などの条件は、個別素子のフォーミングについての既述の方法に準じて選択すればよい。また、複数のX方向配線に、位相をずらせたパルスを順次印加（スクロール）することにより、複数のX方向配線に接続された素子をまとめてフォーミングする事も可能である。図中 1 4 3 は電流測定用抵抗を、1 4 4 は、電流測定用のオシロスコープを示す。

【 0 0 8 8 】

フォーミング終了後、活性化工程を行う。外囲器 8 8 内は、十分に排気した後有機物質がガス導入ライン 1 3 8 から導入される。

【 0 0 8 9 】

この様にして形成した、有機物質を含む雰囲気中で、各電子放出素子に電圧を印加することにより、炭素あるいは炭素化合物、ないし両者の混合物が電子放出部に堆積し、電子放出量がドラスティックに上昇するのは、個別素子の場合と同様である。また、このときの電圧の印加方法は、Y方向配線 6 3 を共通電極 1 4 1 に接続し、複数のX方向配線 6 2 に、位相をずらせたパルスを順次印加（スクロール）することにより、複数のX方向配線 6 2 に接続された素子をまとめて活性化する事も可能である。パルスの形状や、処理の終了の判定などの条件は、個別素子の活性化についての既述の方法に準じて選択すればよい。

【 0 0 9 0 】

活性化工程終了後は、個別素子の場合と同様に、安定化工程を行うことが好ましい。外囲器 8 8 を加熱して、8 0 ～ 2 5 0 ℃ に保持しながら、イオンポンプ、ソーブションポンプなどのオイルを使用しない排気装置 1 3 5 により排気管 1 3 2 を通じて排気し、有機物質の十分少ない雰囲気にした後、排気管をバーナーで熱して溶解させて封じきる。外囲器 8 8 の封止後の圧力を維持するために、ゲッター処理を行なうこともできる。これは、外囲器 8 8 の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器 8 8 内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常は B a 等が主成分であり、該蒸着膜の吸着作用により、外囲器 8 8 内の雰囲気を維持するものである。

【 0 0 9 1 】

次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC方式のテレビ信号に基づいたテレビジョン表示を行う為の駆動回路の構成例について、図10を用いて説明する。図10において、101は表示パネル、102は走査回路、103は制御回路、104はシフトレジスタである。105はラインメモリ、106は同期信号分離回路、107は変調信号発生器、 V_x および V_a は直流電圧源である。表示パネル101は、端子 $D_{x1} \sim D_{xm}$ 、端子 $D_{y1} \sim D_{yn}$ 、及び高圧端子87を介して外部の電気回路と接続している。端子 $D_{y1} \sim D_{yn}$ には、表示パネル内に設けられている電子源、即ち、 m 行 \times n 列の行列状にマトリクス配線された表面伝導型電子放出素子群を一行（ m 素子）ずつ順次駆動する為の走査信号が印加される。

【 0 0 9 2 】

端子 $D_{x1} \sim D_{xm}$ には、前記走査信号により選択された一行の表面伝導型電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。高圧端子87には、直流電圧源 V_a より、例えば10kVの直流電圧が供給されるが、これは表面伝導型電子放出素子から放出される電子ビームに蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。走査回路102について説明する。同回路は、内部に n 個のスイッチング素子を備えたもので（図中、 $S_1 \sim S_n$ で模式的に示している）ある。各スイッチング素子は、直流電圧源 V_x の出力電圧もしくは0V（グランドレベル）のいずれか一方を選択し、表示パネル101の端子 $D_{y1} \sim D_{yn}$ と電氣的に接続される。 $S_1 \sim S_n$ の各スイッチング素子は、制御回路103が出力する制御信号 T_{scan} に基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【 0 0 9 3 】

直流電圧源 V_x は、本例の場合には表面伝導型電子放出素子の特性（電子放出しきい値電圧）に基づき走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を出力するよう設定されている。

【 0 0 9 4 】

制御回路 103 は、外部より入力する画像信号に基づいて適切な表示が行なわれるように各部の動作を整合させる機能を有する。制御回路 103 は、同期信号分離回路 106 より送られる同期信号 T_{sync} に基づいて、各部に対して T_{scan} および T_{sft} および T_{mry} の各制御信号を発生する。

【0095】

同期信号分離回路 106 は、外部から入力される NTSC 方式のテレビ信号から同期信号成分と輝度信号成分とを分離する為の回路で、一般的な周波数分離（フィルター）回路等を用いて構成できる。同期信号分離回路 106 により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上 T_{sync} 信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は便宜上 DATA 信号と表した。該 DATA 信号はシフトレジスタ 104 に入力される。

【0096】

シフトレジスタ 104 は、時系列的にシリアルに入力される前記 DATA 信号を、画像の 1 ライン毎にシリアル／パラレル変換するためのもので、前記制御回路 103 より送られる制御信号 T_{sft} に基づいて動作する（即ち、制御信号 T_{sft} は、シフトレジスタ 104 のシフトクロックであるということもできる。）。シリアル／パラレル変換された画像 1 ライン分（電子放出素子 m 素子分の駆動データに相当）のデータは、 $I_{d1} \sim I_{dm}$ の m 個の並列信号として前記シフトレジスタ 104 より出力される。

【0097】

ラインメモリ 105 は、画像 1 ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路 103 より送られる制御信号 T_{mry} に従って適宜 $I_{d1} \sim I_{dm}$ の内容を記憶する。記憶された内容は、 $I_{d'1} \sim I_{d'm}$ として出力され、変調信号発生器 107 に入力される。

【0098】

変調信号発生器 107 は、画像データ $I_{d'1} \sim I_{d'm}$ の各々に応じて表面伝導型電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子 $D_{x1} \sim D_{xm}$ を通じて表示パネル 101 内の表面伝導型電子放出素子に印加さ

れる。

【 0 0 9 9 】

前述したように、本発明に用いられる電子放出素子は放出電流 I_e に対して以下の基本特性を有している。即ち、電子放出には明確なしきい値電圧 V_{th} があり、 V_{th} 以上の電圧を印加された時のみ電子放出が生じる。電子放出しきい値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出しきい値以下の電圧を印加しても電子放出は生じないが、電子放出しきい値以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値 V_m を変化させる事により出力電子ビームの強度を制御することが可能である。また、パルスの幅 P_w を変化させることにより出力される電子ビームの電荷の総量を制御する事が可能である。従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器 1 0 7 として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【 0 1 0 0 】

パルス幅変調方式を実施するに際しては、変調信号発生器 1 0 7 として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【 0 1 0 1 】

シフトレジスタ 1 0 4 やラインメモリ 1 0 5 は、デジタル信号式のものもアナログ信号式のものも採用できる。画像信号のシリアル／パラレル変換や記憶が所定の速度で行なわれれば良いからである。

【 0 1 0 2 】

デジタル信号式を用いる場合には、同期信号分離回路 1 0 6 の出力信号 DATA をデジタル信号化する必要があるが、これには 1 0 6 の出力部に A/D 変換器を設ければ良い。これに関連してラインメモリ 1 0 5 の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器 1 0 7 に用いられる回路が若干異なっ

たものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器 1 0 7 には、例えば D/A 変換回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器 1 0 7 には、例えば高速の発振器および発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【 0 1 0 3 】

アナログ信号を用いた電圧変調方式の場合、変調信号発生器 1 0 7 には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてレベルシフト回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路（VOC）を採用でき、必要に応じて表面伝導型電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。このような構成をとり得る本発明の画像表示装置においては、各電子放出素子に、容器外端子 $D_{x1} \sim D_{xm}$ 、 $D_{y1} \sim D_{yn}$ を介して電圧を印加することにより、電子放出が生ずる。高圧端子 8 7 を介してメタルバック 8 5、あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜 8 4 に衝突し、発光が生じて画像が形成される。

【 0 1 0 4 】

ここで述べた画像形成装置の構成は、本発明の画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号については、NTSC 方式を挙げたが入力信号はこれに限られるものではなく、PAL, SECAM 方式などの他、これよりも、多数の走査線からなる TV 信号（例えば、MUSE 方式をはじめとする高品位 TV）方式をも採用できる。

【 0 1 0 5 】

図 1 3 は、本発明の電子源の他の実施形態である梯子型配置の電子源の一例を示す模式図である。図 1 3 において、1 1 0 は電子源基板、1 1 1 は電子放出素子である。1 1 2 は $D_1 \sim D_{10}$ からなる、電子放出素子 1 1 1 を接続するための

共通配線である。電子放出素子 1 1 1 は、基板 1 1 0 上に、X 方向に並列に複数個配されている（これを素子行と呼ぶ）。この素子行が複数個配されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出しきい値以上の電圧を、電子ビームを放出しない素子行には、電子放出しきい値以下の電圧を印加する。各素子行間の共通配線 $D_2 \sim D_9$ は、例えば D_2 、 D_3 を同一配線とすることもできる。

【0 1 0 6】

図 1 4 は、梯子型配置の電子源を備えた本発明の画像形成装置の一実施形態の表示パネル構造の一例を示す模式図である。1 2 0 はグリッド電極、1 2 1 は電子が通過するため空孔、1 2 2 は D_1 、 D_2 、 \dots 、 D_m よりなる容器外端子である。1 2 3 は、グリッド電極 1 2 0 と接続された G_1 、 G_2 、 \dots 、 G_n からなる容器外端子である。

【0 1 0 7】

図 1 4 においては、図 8、図 1 3 に示した部位と同じ部位には、この図に付したのと同じの符号を付している。ここに示した表示パネルと、図 8 に示した単純マトリクス配置の表示パネルとの大きな違いは、電子源基板 1 1 0 とフェースプレート 8 6 の間にグリッド電極 1 2 0 を備えているか否かである。

【0 1 0 8】

グリッド電極 1 2 0 は、表面伝導型電子放出素子から放出された電子ビームを変調するためのものであり、梯子型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素子に対応して 1 個ずつ円形の空孔 1 2 1 が設けられている。グリッドの形状や設置位置は図 1 4 に示したものに限定されるものではない。例えば、空孔としてメッシュ状に多数の通過口を設けることもでき、グリッドを表面伝導型電子放出素子の周囲や近傍に設けることもできる。

【0 1 0 9】

容器外端子 1 2 2 およびグリッド容器外端子 1 2 3 は、不図示の制御回路と電気的に接続されている。本例の画像形成装置では、素子行を 1 列ずつ順次駆動（

走査)していくのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピューター等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

【0110】

図22は、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した本発明の画像形成装置の一例を示す図である。

【0111】

図中、1700はディスプレイパネル、1701はディスプレイパネルの駆動回路、1702はディスプレイコントローラ、1703はマルチプレクサ、1704はデコーダ、1705は入出力インターフェース回路、1706はCPU、1707は画像生成回路、1708～1710は画像メモリインターフェース回路、1711は画像入力インターフェース回路、1712及び1713はTV信号受信回路、1714は入力部である。

【0112】

尚、本画像形成装置は、例えばテレビジョン信号のように、映像情報と音声情報の両方を含む信号を受信する場合には当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶等に関する回路やスピーカー等については説明を省略する。

【0113】

以下、画像信号の流れに沿って各部の機能を説明する。

【0114】

まず、TV信号受信回路1713は、例えば電波や空間光通信等のような無線伝送系を用いて伝送されるTV信号を受信するための回路である。受信するTV信号の方式は特に限られるものではなく、例えばNTSC方式、PAL方式、SECAM方式等、いずれの方式でも良い。また、これらよりさらに多数の走査線

よりなるTV信号、例えばMUSE方式をはじめとするいわゆる高品位TV信号は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。

【0115】

上記TV信号受信回路1713で受信されたTV信号は、デコーダ1704に出力される。

【0116】

また、TV信号受信回路1712は、例えば同軸ケーブルや光ファイバ等のような有線伝送系を用いて伝送されるTV信号を受信するための回路である。前記TV信号受信回路1713と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ1704に出力される。

【0117】

画像入力インターフェース回路1711は、例えばTVカメラや画像読み取りスキャナーなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1704に出力される。

【0118】

画像メモリインターフェース回路1710は、ビデオテープレコーダ（以下「VTR」と称する）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1704に出力される。

【0119】

画像メモリインターフェース回路1709は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1704に出力される。

【0120】

画像メモリインターフェース回路1708は、静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ1704に入力される。

【0121】

入出力インターフェース回路 1705 は、本画像表示装置と、外部のコンピュータ、コンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力や、場合によっては本画像形成装置の備える CPU 1706 と外部との間で制御信号や数値データの入出力などを行なうことも可能である。

【0122】

画像生成回路 1707 は、前記入出力インターフェース回路 1705 を介して外部から入力される画像データや文字・図形情報や、或いは CPU 1706 より出力される画像データや文字・図形情報に基づき、表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリや、画像処理を行なうためのプロセッサ等をはじめとして、画像の生成に必要な回路が組み込まれている。

【0123】

本回路により生成された表示用画像データは、デコーダ 1704 に出力されるが、場合によっては前記入出力インターフェース回路 1705 を介して外部のコンピュータネットワークやプリンタに出力することも可能である。

【0124】

CPU 1706 は、主として本画像表示装置の動作制御や、表示画像の生成や選択、編集に関わる作業を行なう。

【0125】

例えば、マルチプレクサ 1703 に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。その際には表示する画像信号に応じてディスプレイパネルコントローラ 1702 に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。また、前記画像生成回路 1707 に対して画像データや文字・図形情報を直接出力したり、或いは前記入出力インターフェース回路 1705 を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。

【0126】

尚、CPU1706は、これ以外の目的の作業にも関わるものであっても良い。例えば、パーソナルコンピュータやワードプロセッサ等のように、情報を生成したり処理する機能に直接関わっても良い。或いは前述したように、入出力インターフェース回路1705を介して外部のコンピュータネットワークと接続し、例えば数値計算等の作業を外部機器として共同して行なっても良い。

【0127】

入力部1714は、前記CPU1706に使用者が命令やプログラム、或いはデータなどを入力するためのものであり、例えばキーボードやマウスその他、ジョイスティック、バーコードリーダー、音声認識装置等の多様な入力機器を用いることが可能である。

【0128】

デコーダ1704は、前記1707～1713より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。尚、図中に点線で示すように、デコーダ1704は内部に画像メモリを備えていることが望ましい。これは、例えばMUSE方式をはじめとして、逆変換する際に画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画像の表示が容易になる。或いは前記画像生成回路1707及びCPU1706と共同して、画像の間引き、補完、拡大、縮小、合成をはじめとする画像処理や編集が容易になるという利点を得られる。

【0129】

マルチプレクサ1703は、前記CPU1706より入力される制御信号に基づき、表示画像を適宜選択するものである。即ち、マルチプレクサ1703はデコーダ1704から入力される逆変換された画像信号の内から所望の画像信号を選択して駆動回路1701に出力する。その場合には、一画面表示時間内で画像信号を切り換えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0130】

ディスプレイパネルコントローラ1702は、前記CPU1706より入力さ

れる制御信号に基づき、駆動回路 1701 の動作を制御するための回路である。

【0131】

ディスプレイパネルの基本的な動作に関わるものとして、例えばディスプレイパネルの駆動用電源（不図示）の動作シーケンスを制御するための信号を駆動回路 1701 に対して出力する。ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路 1701 に対して出力する。また、場合によっては、表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路 1701 に対して出力する場合もある。

【0132】

駆動回路 1701 は、ディスプレイパネル 1700 に印加する駆動信号を発生するための回路であり、前記マルチプレクサ 1703 から入力される画像信号と、前記ディスプレイパネルコントローラ 1702 より入力される制御信号に基づいて動作するものである。

【0133】

以上、各部の機能を説明したが、図 22 に例示した構成により、本画像形成装置においては、多様な画像情報源より入力される画像情報をディスプレイパネル 1700 に表示することが可能である。即ち、テレビジョン放送をはじめとする各種の画像信号は、デコーダ 1704 において逆変換された後、マルチプレクサ 1703 において適宜選択され、駆動回路 1701 に入力される。一方、ディスプレイコントローラ 1702 は、表示する画像信号に応じて駆動回路 1701 の動作を制御するための制御信号を発生する。駆動回路 1701 は、上記画像信号と制御信号に基づいてディスプレイパネル 1700 に駆動信号を印加する。これにより、ディスプレイパネル 1700 において画像が表示される。これらの一連の動作は、CPU 1706 により統括的に制御される。

【0134】

本画像形成装置においては、前記デコーダ 1704 に内蔵する画像メモリや、画像生成回路 1707 及び情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き

、補完、色変換、画像の縦横比変換等をはじめとする画像処理や、合成、消去、接続、入れ替え、嵌め込み等をはじめとする画像編集を行なうことも可能である。また、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行なうための専用回路を設けても良い。

【 0 1 3 5 】

従って、本画像形成装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像及び動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム器などの機能を一台で兼ね備えることが可能で、産業用或いは民生用として極めて応用範囲が広い。

【 0 1 3 6 】

尚、図 2 2 は、電子放出素子を電子ビーム源とする表示パネルを用いた画像形成装置とする場合の構成の一例を示したに過ぎず、本発明の画像形成装置がこれのみに限定されるものでないことは言うまでもない。

【 0 1 3 7 】

例えば、図 2 2 の構成要素の内、使用目的上必要のない機能に関わる回路は省いてもさしつかえない。また、これとは逆に、使用目的によってはさらに構成要素を追加しても良い。例えば、本画像表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明器、モデムを含む送受信回路等を構成要素に追加するのが好適である。

【 0 1 3 8 】

本画像形成装置においては、電子放出素子を電子源としているので、ディスプレイパネルの薄型化が容易なため、画像形成装置の奥行きを小さくすることができる。それに加えて、電子放出素子を電子ビーム源とする表示パネルは大画面化が容易で輝度が高く、視野角特性にも優れるため、画像形成装置は、臨場感にあふれ、迫力に富んだ画像を視認性良く表示することが可能である。また、安定で高効率な電子放出特性が実現された電子源を用いることにより、長寿命で明るい高品位なカラーフラットテレビが実現する。

【 0 1 3 9 】

【実施例】

(実施例 1)

本実施例では、図 8 の構成の表示パネルを有する画像形成装置を作製した。図 1 5 はその電子源の部分断面図である。ここで 6 1 は基板、6 2 は図 8 の D_{xm} に対応する X 方向配線（下配線とも呼ぶ）、6 3 は図 8 の D_{yn} に対応する Y 方向配線（上配線とも呼ぶ）、4 は電子放出部（不図示）を含む導電性膜、2、3 は素子電極、1 5 1 は層間絶縁層、1 5 2 はコンタクトホールである。

【0 1 4 0】

本例の電子源には、X 方向配線上に 3 0 0 個、Y 方向配線上に 1 0 0 個の電子放出素子が形成されている。

【0 1 4 1】

次に製造方法を図 1 6、図 1 7 により工程順に従って具体的に説明する。

【0 1 4 2】

工程 - a

清浄化した青板ガラス上に厚さ $0.5 \mu m$ のシリコン酸化膜をスパッタ法で形成した基板 6 1 上に、真空蒸着により厚さ $5 nm$ の Cr、厚さ $600 nm$ の Au を順次積層した後、ホトレジスト（ヘキスト社製「AZ 1370」）をスピナーにより回転塗布、バークした後、ホトマスク像を露光、現像して、下配線 6 2 のレジストパターンを形成し、Au/Cr 堆積膜をウエットエッチングして、所望の形状の下配線 6 2 を形成した（図 1 6 (a)）。

【0 1 4 3】

工程 - b

次に厚さ $1.0 \mu m$ のシリコン酸化膜からなる層間絶縁層 1 5 1 を RF スパッタ法により堆積した（図 1 6 (b)）。

【0 1 4 4】

工程 - c

工程 b で堆積したシリコン酸化膜にコンタクトホール 1 5 2 を形成するためのホトレジストパターンを作り、これをマスクとして層間絶縁層 1 5 1 をエッチングしてコンタクトホール 1 5 2 を形成した（図 1 6 (c)）。エッチングは CF_4 と H_2 ガスを用いた RIE (Reactive Ion Etching) 法に

よった。

【0 1 4 5】

工程 - d

その後、素子電極 2 と素子電極 3 間ギャップ L となるべきパターンをホトレジスト（日立化成社製「RD-2000N-41」）形成し、真空蒸着法により、厚さ 5 nm の Ti、厚さ 100 nm の Ni を順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti 堆積膜をリフトオフし、素子電極間隔 L が 5 μ m、素子電極の幅 W が 300 μ m の素子電極 2、3 を形成した（図 16（d））。

【0 1 4 6】

工程 - e

素子電極 3 の上に上配線 63 のホトレジストパターンを形成した後、厚さ 5 nm の Ti、厚さ 500 nm の Au を順次真空蒸着により堆積し、リフトオフにより不要の部分除去して、所望の形状の上配線 63 を形成した（図 17（e））。

【0 1 4 7】

工程 - f

膜厚 100 nm の Cr 膜を真空蒸着により堆積・パターニングし、その上に有機 Pd 含有溶液（奥野製薬社製「ccp4230」）をスピナーにより回転塗布、300℃で10分間の加熱焼成処理をした。また、こうして形成された主元素として PdO よりなる導電性膜 4 の膜厚は 10 nm、シート抵抗値は $5 \times 10^4 \Omega/\square$ であった。

【0 1 4 8】

その後、Cr 膜および焼成後の導電性膜 4 を酸エッチャントによりエッチングして所望のパターンを形成した（図 17（f））。

【0 1 4 9】

工程 - g

コンタクトホール 152 部分以外にレジストを塗布するようなパターンを形成し、真空蒸着により厚さ 5 nm の Ti、厚さ 500 nm の Au を順次堆積した。

リフトオフにより不要の部分除去することにより、コンタクトホール 152 を埋め込んだ (図 17 (g))。

【0150】

以上の工程により基板 61 上に下配線 62、層間絶縁層 151、上配線 63、素子電極 2、3、導電性膜 4 等を形成した。

【0151】

つぎに、以上のようにして作成した電子源を用い、図 18 に示したような構成の電界印加装置により、電子源基板 171 に電界を印加した。

【0152】

まず、A1 からなるステージ基板 172 上に配置された電子源基板 171 に対して、上下配線の端部に厚さ $500\mu\text{m}$ 、幅 5mm のインジウムシート 175 を圧着し、ステージ基板 172 とすべての配線が共通になるようにした。さらに、電子源基板 171 と対向する位置に、絶縁性支持部材 (青板ガラス) 176 で固定された A1 電極 174 を配置した。ここで、電子源基板 171 と電極 174 との対向距離は 3mm とした。

【0153】

次に、電子源基板 171 の配線およびステージ基板 172 を共通にしたインジウムシート 175 を GND に接続し、電極 174 を $100\text{k}\Omega$ の抵抗 177 を介して高圧電源 178 に接続した。さらに、抵抗 177 の両端の電圧を電圧計 179 で測定し、抵抗 177 に流れる電流を測定した。そして、図 19 に示すように電子源基板 171 と電極 174 間に電圧 (図 19 の折れ線グラフ) を印加して 15kV で 4 時間保持した。その時の抵抗 177 に流れる電流が 1mA 以上流れる放電回数を図 19 に示す。図 19 から明らかなように 6kV から放電が始まり、 15kV で 2 時間保持まで合計 18 回の放電 (図 19 の棒グラフ) が測定された。

【0154】

その後、高圧電源 178 を OFF にし、装置から電子源基板を取り外し、インジウムシートを電子源基板上から取り除いた。

【0155】

次に、このようにして電界印加が行われた電子源基板を用いて図 8 に示す構成の画像形成装置を以下のようにして作成した。

【0156】

多数の平面型表面伝導電子放出素子を作製した基板 61 をリアプレート 81 上に固定した後、基板 61 の 5 mm 上方に、フェースプレート 86 (ガラス基板 83 の内面に蛍光膜 84 とメタルバック 85 が形成されて構成される) を支持棒 82 を介し配置し、フェースプレート 86、支持棒 82、リアプレート 81 の接合部にフリットガラスを塗布し、大気中で 410℃ で 10 分以上焼成することで封着し、外囲器 88 を作成した。また、リアプレート 81 への基板 61 の固定もフリットガラスで行った。

【0157】

蛍光膜 84 は、黒色導電材 91 と蛍光体 92 とで構成された、ブラックストライプ配列のカラーの蛍光膜を用いた。先にブラックストライプを形成し、その間隙部に各色蛍光体を塗布し、蛍光膜 84 を作製した。ガラス基板に蛍光体を塗布する方法はスラリー法を用いた。また、蛍光膜 84 の内面側にはメタルバック 85 を設けた。メタルバック 85 は、蛍光膜作製後、蛍光膜の内面側表面の平滑化处理 (通常フィルミングと呼ばれる) を行い、その後 A1 を真空蒸着することで作製した。前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行った。

【0158】

以上のようにして完成した外囲器 88 を排気管 (不図示) を介し、磁気浮上型ターボモレキュラーポンプで排気された真空装置と接続した。

【0159】

その後、外囲器 88 内を 1.3×10^{-4} Pa まで排気した。

【0160】

容器外端子 $D_{x1} \sim D_{xm}$ ($m = 300$) と $D_{y1} \sim D_{yn}$ ($n = 100$) を通じ電子放出素子 64 の電極 2、3 間に電圧を印加し、電子放出部 5 を、導電性膜 4 を通電処理 (フォーミング処理) することにより作成した。

【0161】

このように作成された電子放出部 5 は、パラジウム元素を主成分とする微粒子が分散配置された状態となり、その微粒子の平均粒径は 3 nm であった。

【0162】

次に、真空装置を経由して、外囲器 88 内にベンゾニトリルを 6.6×10^{-4} Pa を導入した。

【0163】

容器外端子 $D_{x1} \sim D_{xm}$ ($m = 300$) を共通にし、 $D_{y1} \sim D_{yn}$ ($n = 100$) に順次電源（不図示）を接続し、対応する電子放出素子 64 の電極 2、3 間に電圧を印加し活性化工程を行った。

【0164】

その後、外囲器 88 内のベンゾニトリルを排気した。

【0165】

最後に安定化工程として、約 1.33×10^{-4} Pa の圧力で、150℃、10 時間のベーキングを行った後、不図示の排気管をガスバーナーで熱することで溶着し外囲器 88 の封止を行った。以上のように完成した本発明の画像形成装置において、各電子放出素子には、容器外端子 $D_{x1} \sim D_{xm}$ ($m = 300$)、端子 $D_{y1} \sim D_{yn}$ ($n = 100$) を通じ、GND に接続して、高圧端子 87 を通じ、メタルバック 85 に 8 kV の高圧を印加した。

【0166】

8 kV 印加して静耐圧測定を 6 時間行ったところ、突発的な放電現象は観測されなかった。

【0167】

ここで、突発的な放電現象とは、高圧端子に流れる電流が、5 mA を超えた回数と定義した。画像表示前後での、各電子放出素子の個別の特性 (I_e) を測定したところ、ばらつきは、8% のままであった。

【0168】

ここで、ばらつきは、各素子の I_e 値の平均値でその分散値を割った値とした。

【0169】

(比較例 1)

図 1 8 の装置による電界印加工程を行わなかった以外は実施例 1 と同様にして画像形成装置を作製した。得られた画像形成装置で、実施例 1 と同様の静耐圧測定を 6 時間行ったところ、突発的な放電現象が 8 回観測された。この放電現象により、電子源がダメージを受けた。

【0 1 7 0】

また、画像表示前後での、各電子放出素子の個別の特性 (I_e) を測定したところ、ばらつきは 8 % から 1 7 % に変化した。

【0 1 7 1】

(実施例 2)

図 2 0 の装置により電界印加工程を行う以外は実施例 1 と同様にして画像形成装置を作製した。図 2 0 の装置において、図 1 8 と同様のものは同一の符号を用いた。図中、1 9 6 は電極を有する青板ガラスを固定する支持部材であり、かつ電極 1 7 4 と電子源基板 1 7 1 間の距離を変えられるように可変機構を具備している。

【0 1 7 2】

図 2 1 に示すように、高圧から印加される電圧を 1 5 k V 一定とし、電極と電子源基板間距離 (図 2 1 の折れ線グラフ) を変化させ、2 0 mm から 3 mm まで近づけて 3 時間保持した。

【0 1 7 3】

図 2 0 の装置による電界印加工程で、6 時間の間に、電子源基板間に 1 m A 以上流れる放電現象 (図 2 1 の棒グラフ) が 1 5 回観測された。

【0 1 7 4】

得られた画像形成装置で、実施例 1 と同様の静耐圧測定を 6 時間行ったところ、突発的な放電現象は観測されなかった。従って、放電による電子源のダメージも観測されなかった。

【0 1 7 5】

また、画像表示前後での、各電子放出素子の個別の特性 (I_e) を測定したところ、ばらつきは、8 % のままであった。

【0176】

【発明の効果】

以上説明したように、本発明においては、電子源基板に電界印加工程を施すことにより、電子源内の突起等、画像形成装置を構成して駆動した際の放電現象を引き起こす要因が除去されており、よって、長期間画像表示を行っても表示画像に欠落画素の発生がない、表示特性に優れた画像形成装置が実現する。

【図面の簡単な説明】

【図1】

本発明の電子源を構成する電子放出素子の一実施形態の構成を示す模式図である。

【図2】

図1の電子放出素子の製造方法の一例を示す工程図である。

【図3】

本発明の電子源の製造方法に用いられる通電フォーミングの電圧波形の一例を示す図である。

【図4】

本発明の電子源を構成する電子放出素子の電子放出特性を評価するための測定評価機能を備えた真空処理装置の一例を示す模式図である。

【図5】

本発明の電子源を構成する電子放出素子における、放出電流 I_e 、素子電流 I_f と素子電圧 V_f の関係の一例を示すグラフである。

【図6】

本発明の電子源の一実施形態である単純マトリクス配置した電子源の一例を示す模式図である。

【図7】

本発明の電子源の製造方法の電界印加工程における電子源基板と電極との配置を示した図である。

【図8】

本発明の画像形成装置の一実施形態である単純マトリクス配置の電子源を用い

た表示パネルの一例を示す模式図である。

【図 9】

図 8 の表示パネルに用いられる蛍光膜一例を示す模式図である。

【図 1 0】

本発明の画像形成装置に N T S C 方式のテレビ信号に応じて表示を行なうための駆動回路の一例を示すブロック図である。

【図 1 1】

本発明の電子源の製造方法に係わる、フォーミング、活性化工程を行うための真空排気装置の模式図である

【図 1 2】

本発明の電子源の製造方法に係わる、フォーミング、活性化工程のための結線方法を示す模式図である。

【図 1 3】

本発明の電子源の他の実施形態である梯子型配置の電子源の一例を示す模式図である。

【図 1 4】

本発明の画像形成装置の他の実施形態である梯子型配置の電子源を用いた表示パネルの一例を示す模式図である。

【図 1 5】

実施例 1 の電子源の部分断面図である。

【図 1 6】

実施例 1 の電子源の製造工程図である。

【図 1 7】

実施例 1 の電子源の製造工程図である。

【図 1 8】

実施例 1 の電子源基板の電界印加工程に用いた装置の模式図である。

【図 1 9】

実施例 1 の電子源における印加電圧と放電回数の結果である。

【図 2 0】

実施例 2 の電子源基板の電界印加工程に用いた装置の模式図である。

【図 2 1】

実施例 2 の電子源における印加電圧と放電回数の結果である。

【図 2 2】

本発明の画像形成装置の一例を示すブロック図である。

【符号の説明】

- 1 基板
- 2、3 素子電極
- 4 導電性膜
- 5 電子放出部
- 4 0 電流計
- 4 1 電源
- 4 2 電流計
- 4 3 高圧電源
- 4 4 アノード電極
- 4 5 真空装置
- 4 6 排気ポンプ
- 6 1 電子源基板
- 6 2 X方向配線
- 6 3 Y方向配線
- 6 4 表面伝導型電子放出素子
- 6 5 結線
- 7 1 電子源基板
- 7 2 電極
- 7 3 ステージ基板
- 7 4 配線
- 7 5 導電性取り出し部材
- 7 6 高圧電源
- 7 7 電流測定装置

- 8 1 リアプレート
- 8 2 支持枠
- 8 3 ガラス基板
- 8 4 蛍光膜
- 8 5 メタルバック
- 8 6 フェースプレート
- 8 7 高圧端子
- 8 8 外囲器
- 9 1 黒色導電材
- 9 2 蛍光体
- 1 0 1 表示パネル
- 1 0 2 走査回路
- 1 0 3 制御回路
- 1 0 4 シフトレジスタ
- 1 0 5 ラインメモリ
- 1 0 6 同期信号分離回路
- 1 0 7 変調信号発生器
- 1 1 0 電子源基板
- 1 1 1 電子放出素子
- 1 1 2 共通配線
- 1 2 0 グリッド電極
- 1 2 1 空孔
- 1 2 2、1 2 3 容器外端子
- 1 3 2 排気管
- 1 3 3 真空チャンバー
- 1 3 4 ゲートバルブ
- 1 3 5 排気装置
- 1 3 6 圧力計
- 1 3 7 四重極質量分析器

- 1 3 8 ガス導入ライン
- 1 3 9 導入量制御手段
- 1 4 0 導入物質源
- 1 4 1 共通電極
- 1 4 2 電源
- 1 4 3 電流測定用抵抗
- 1 4 4 オシロスコープ
- 1 5 1 層間絶縁膜
- 1 5 2 コンタクトホール
- 1 7 1 電子源基板
- 1 7 2 A 1 ステージ基板
- 1 7 3 絶縁性支持基板
- 1 7 4 電極
- 1 7 5 インジウムシート
- 1 7 6 支持部材
- 1 7 7 抵抗
- 1 7 8 高圧電源
- 1 7 9 電圧計
- 1 9 6 可変機構付き支持部材
- 1 7 0 0 ディスプレイパネル
- 1 7 0 1 駆動回路
- 1 7 0 2 ディスプレイコントローラ
- 1 7 0 3 マルチプレクサ
- 1 7 0 4 デコーダ
- 1 7 0 5 入出力インターフェース回路
- 1 7 0 6 CPU
- 1 7 0 7 画像生成回路
- 1 7 0 8 ~ 1 7 1 0 画像メモリインターフェース回路
- 1 7 1 1 画像入力インターフェース回路

1 7 1 2、1 7 1 3 TV信号受信回路

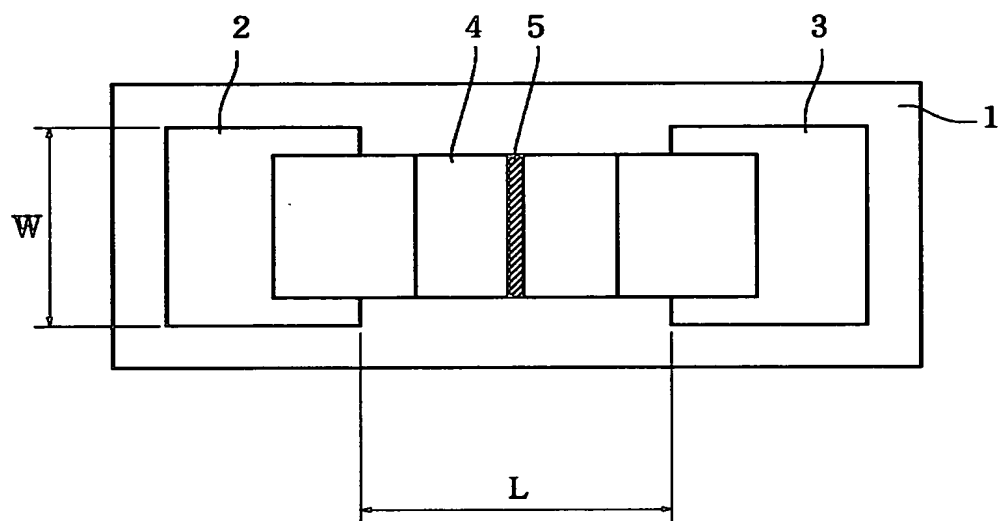
1 7 1 4 入力部

【書類名】

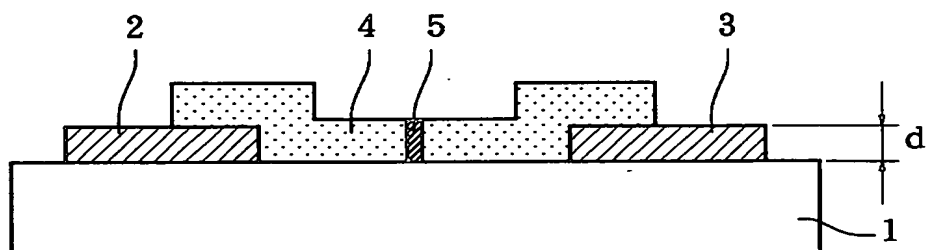
図面

【図 1】

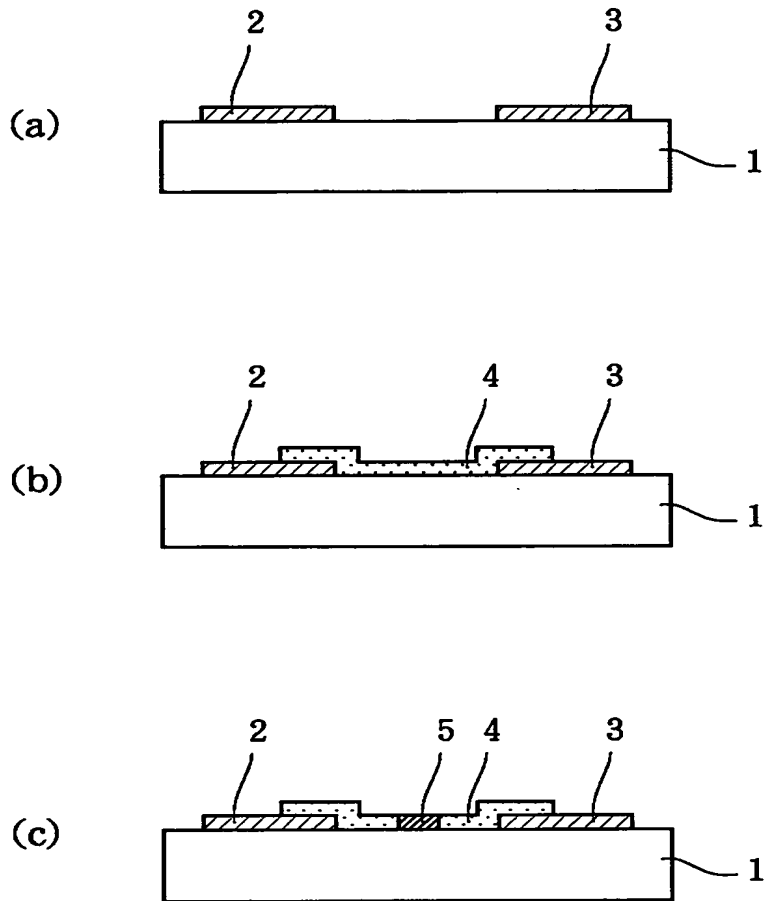
(a)



(b)

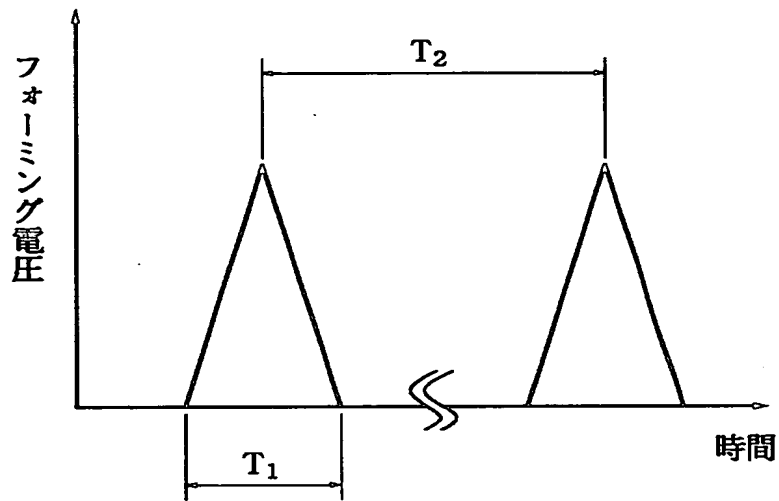


【図 2】

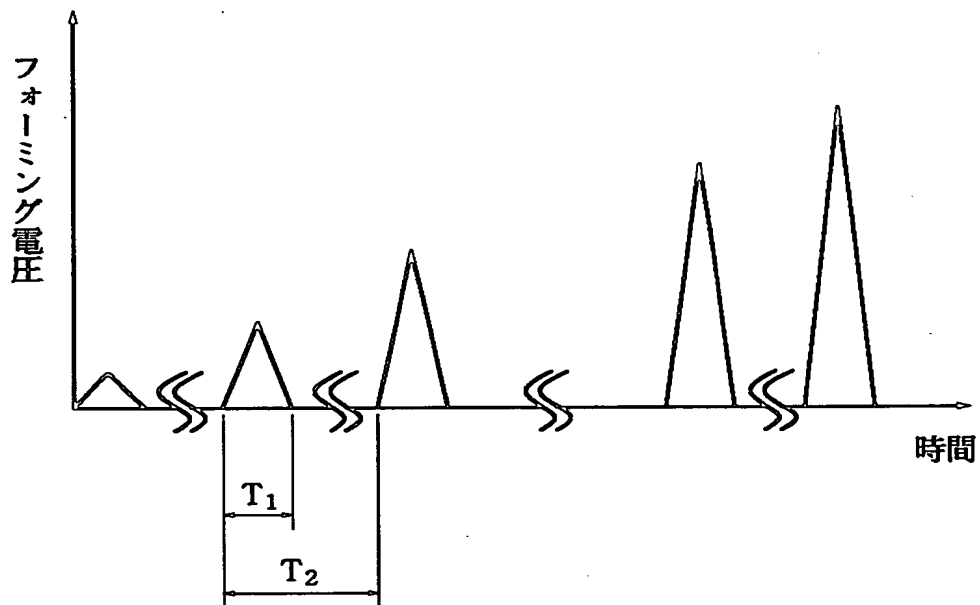


【図3】

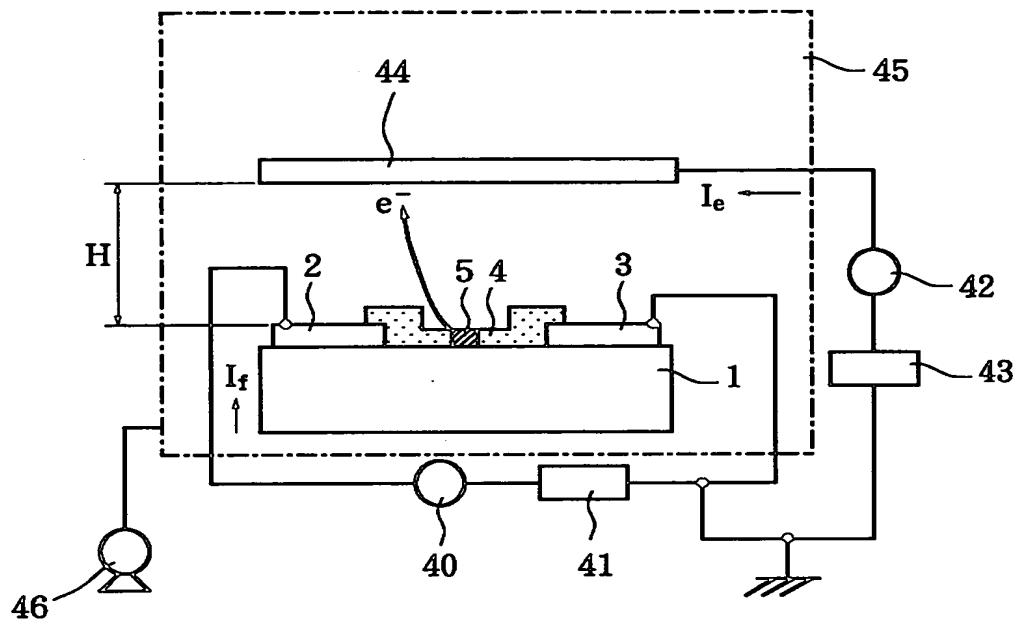
(a)



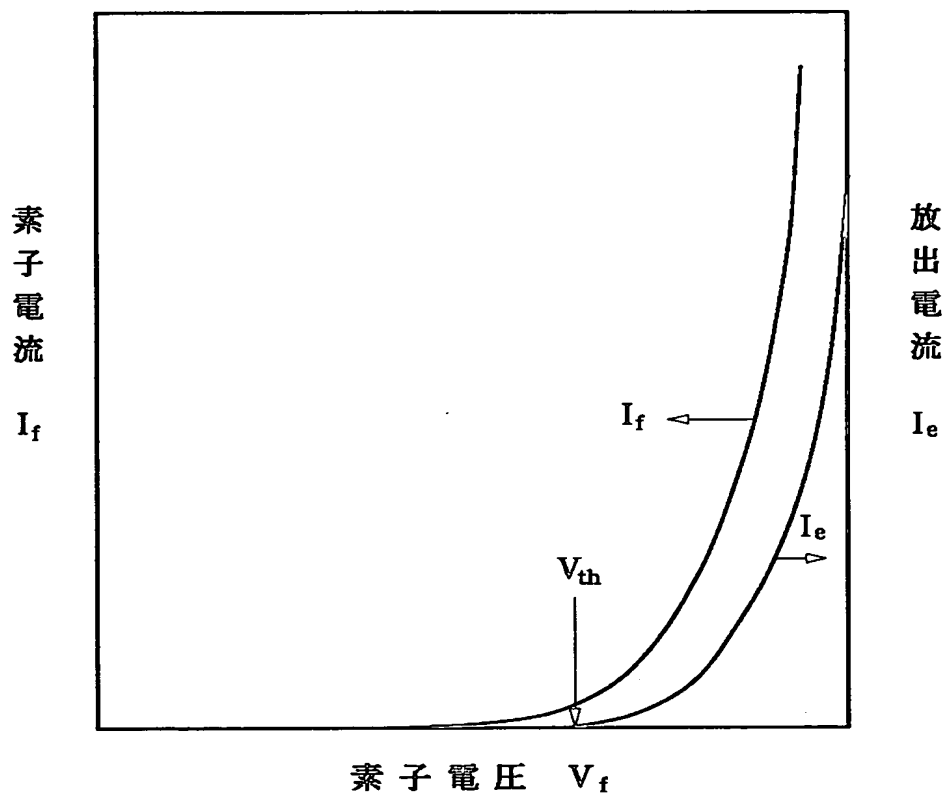
(b)



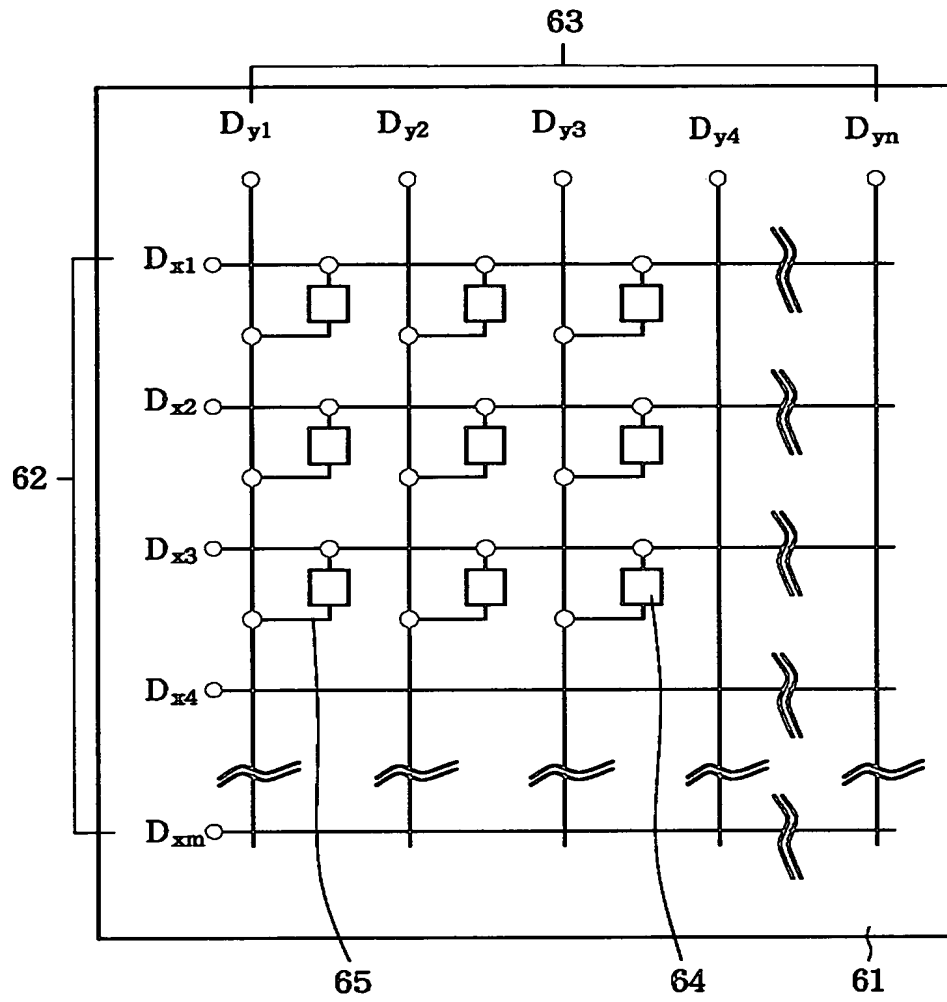
【図 4】



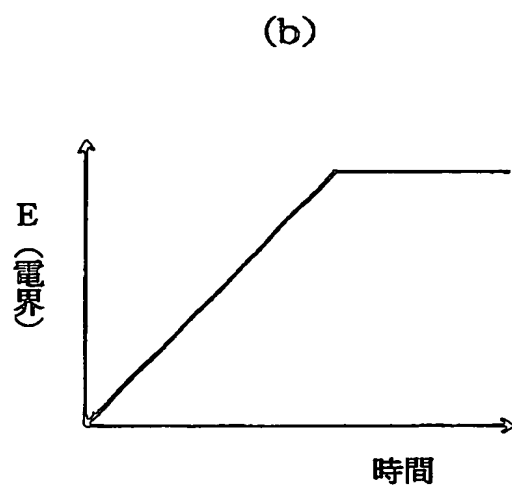
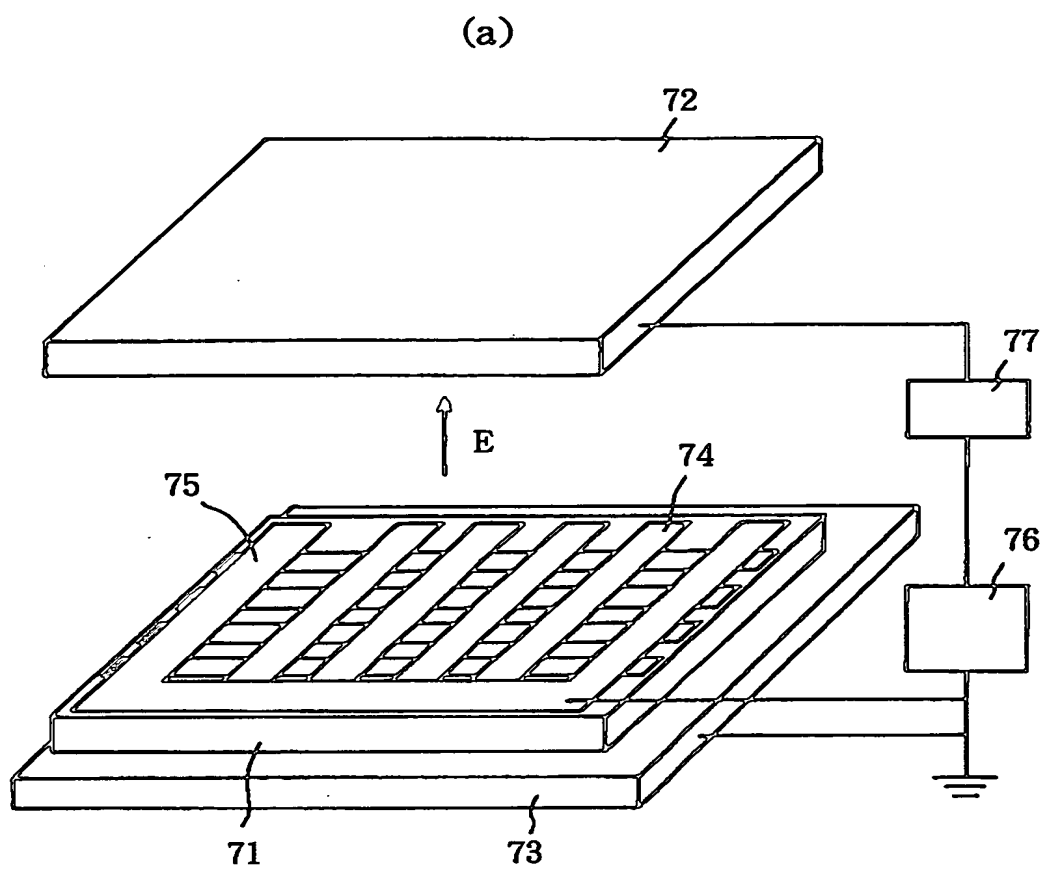
【図 5】



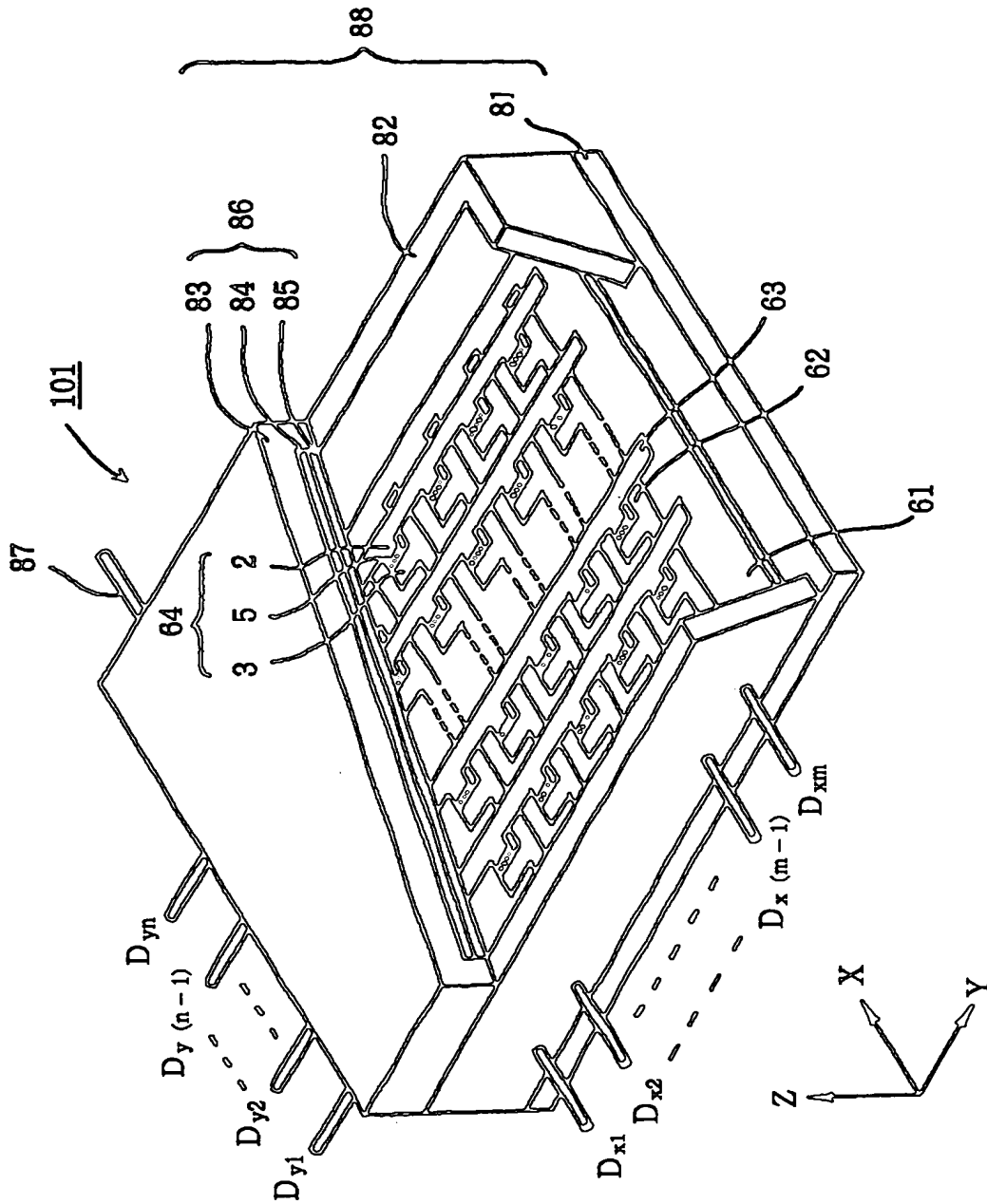
【図 6】



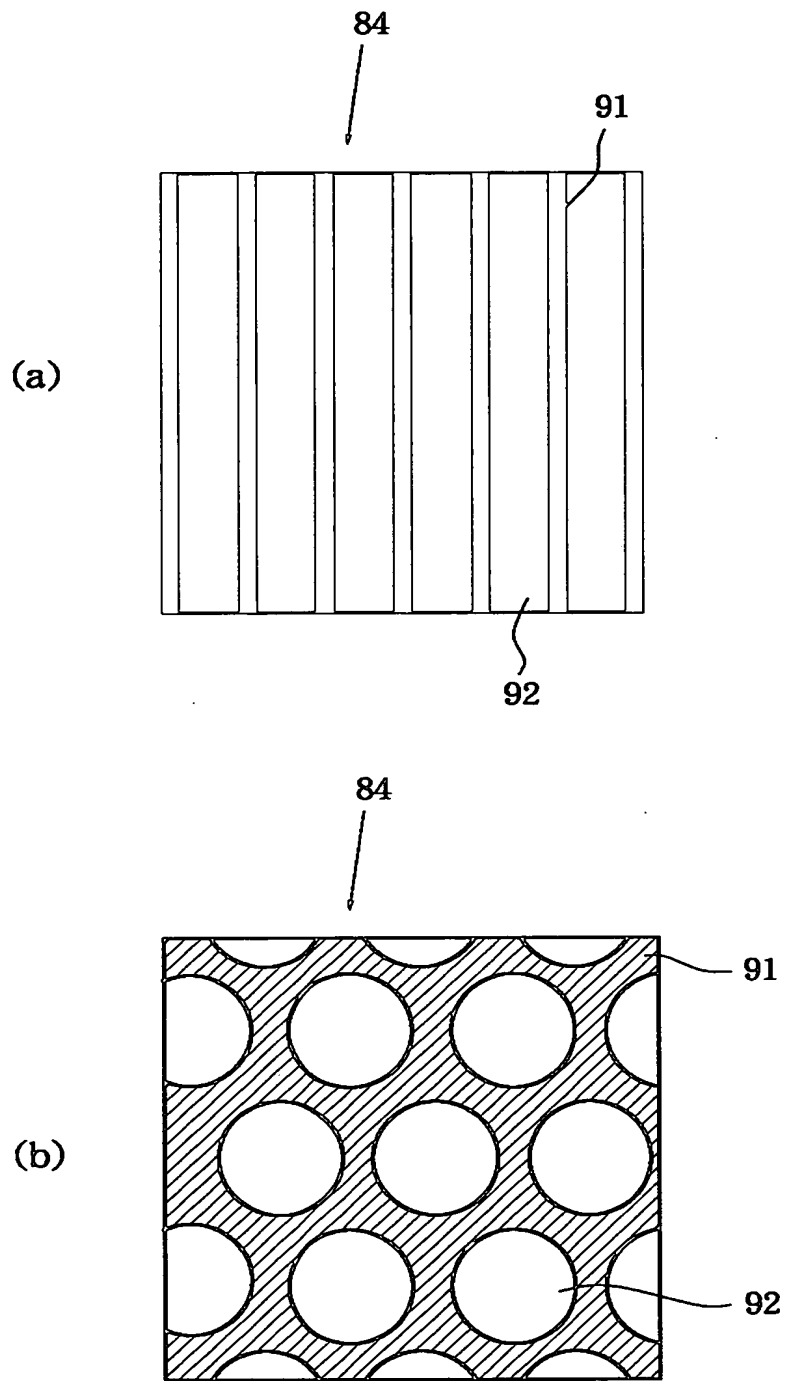
【図 7】



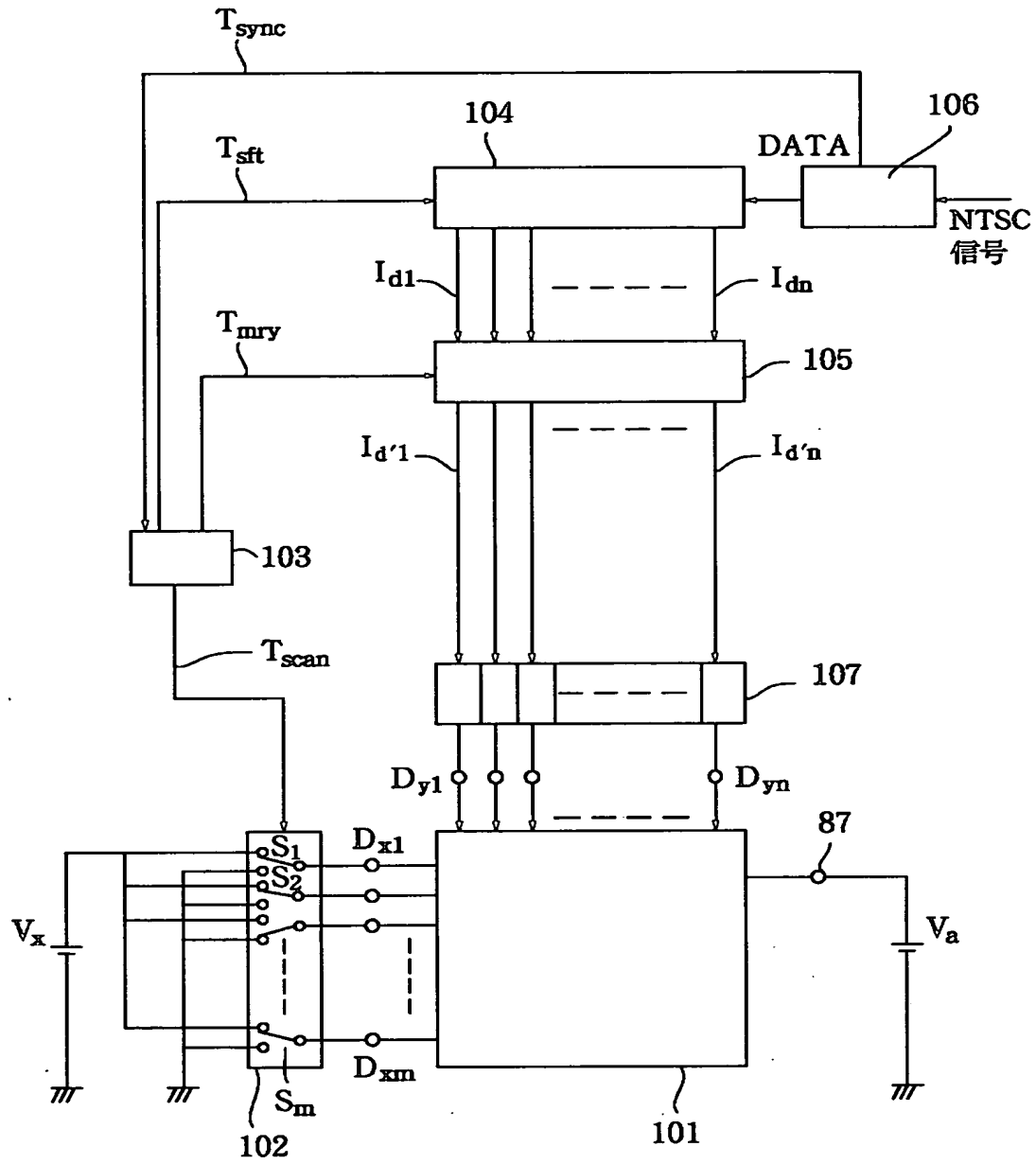
【図 8】



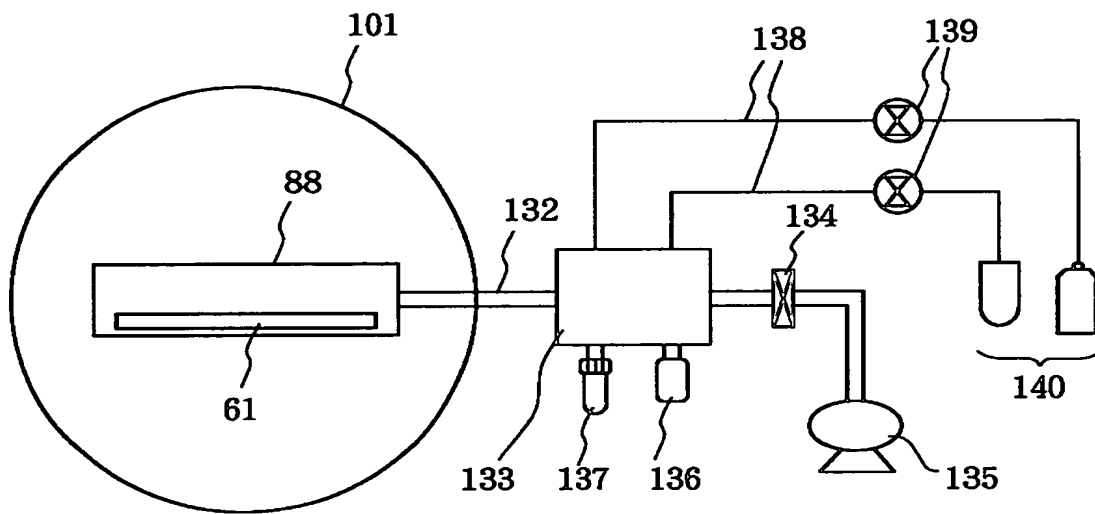
【図9】



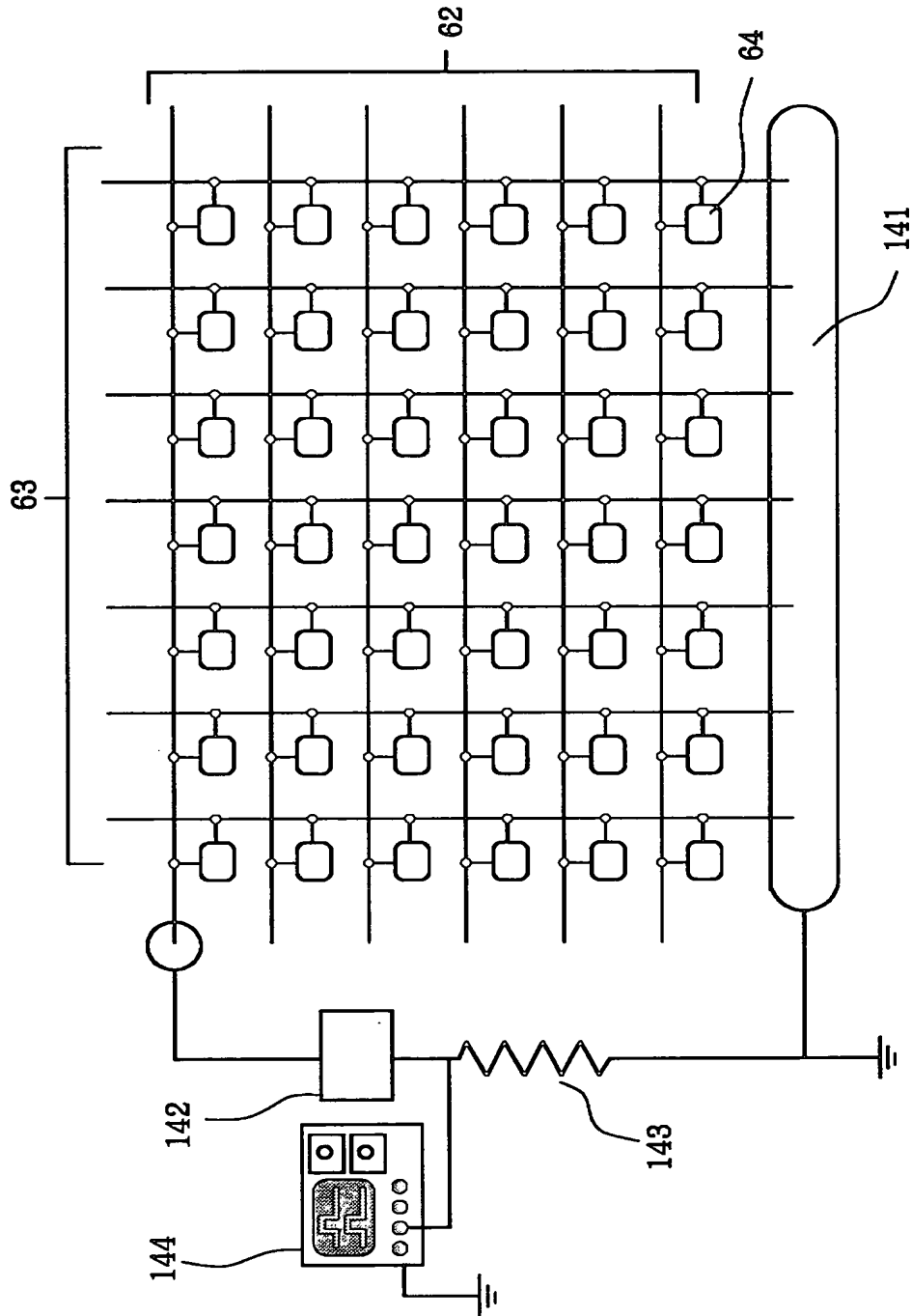
【図 1 0】



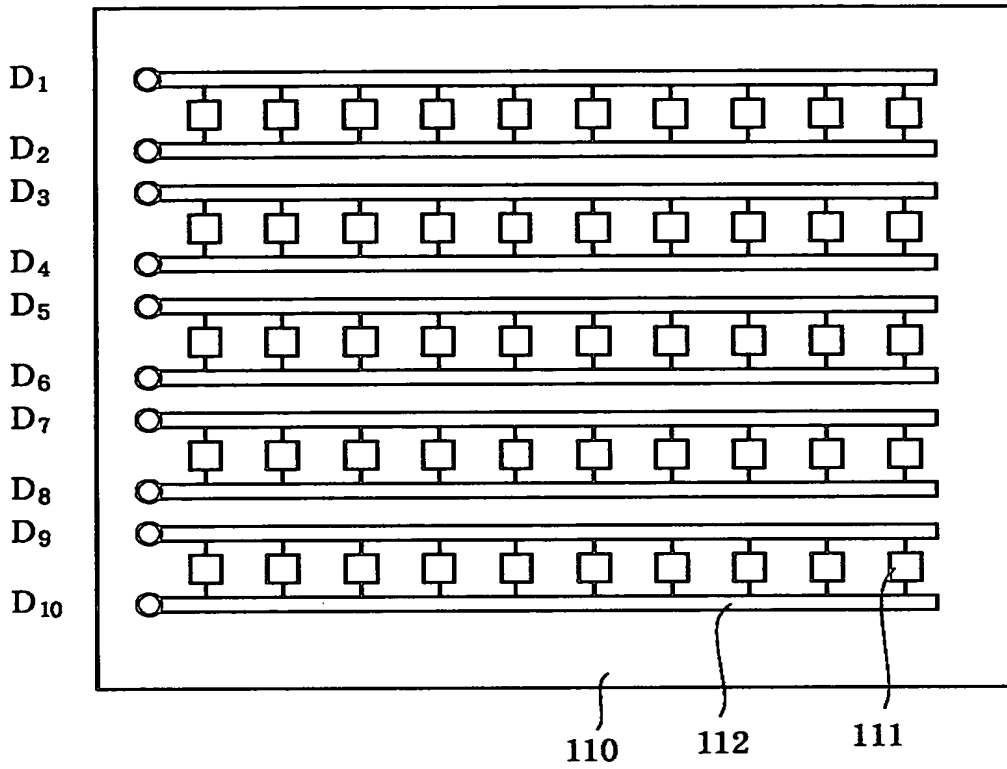
【図 11】



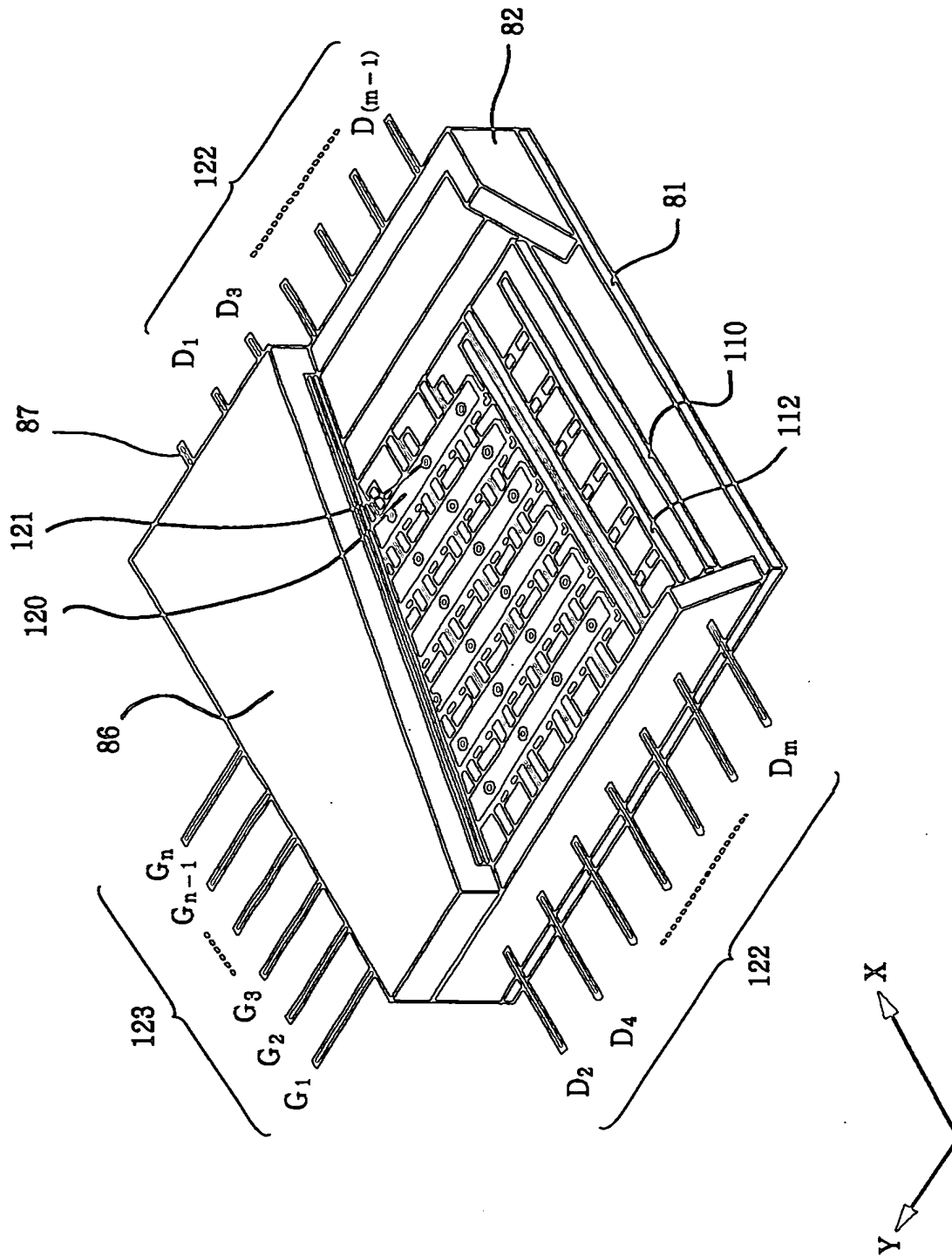
【図 1 2】



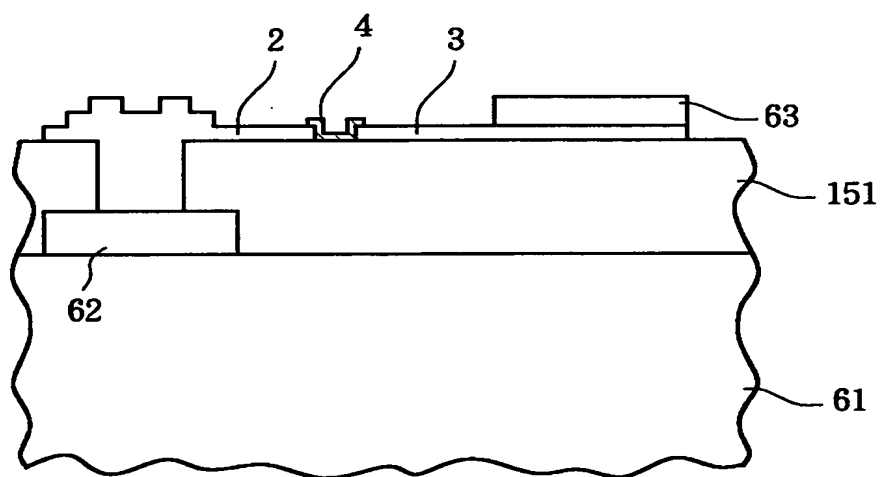
【図 1 3】



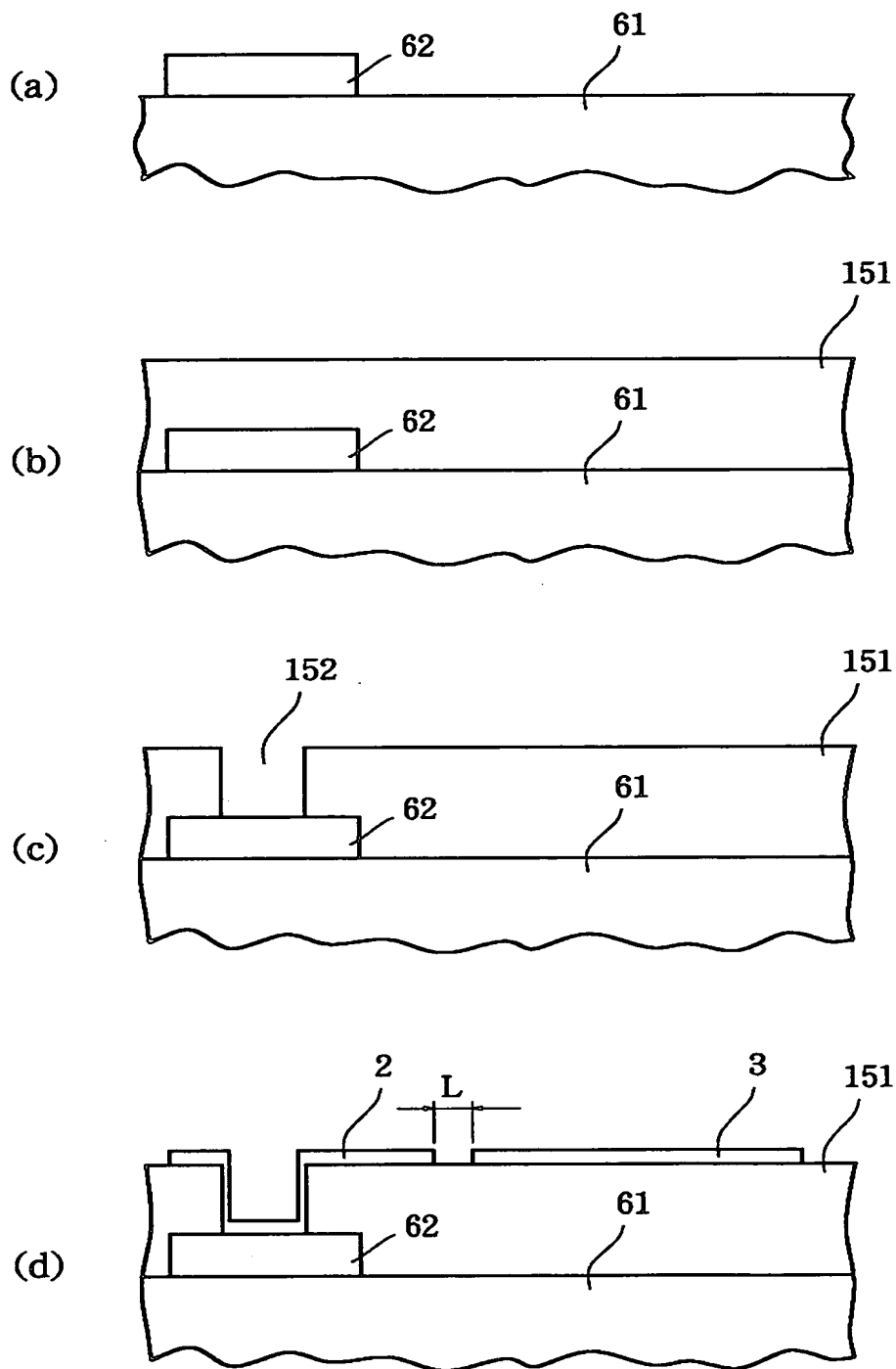
【図 14】



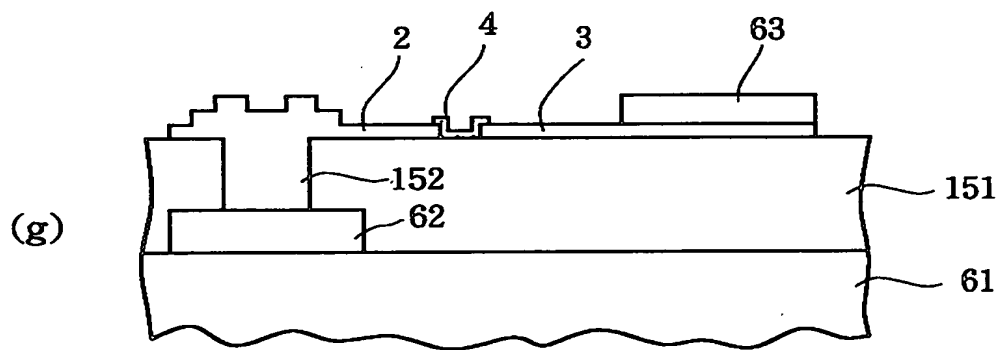
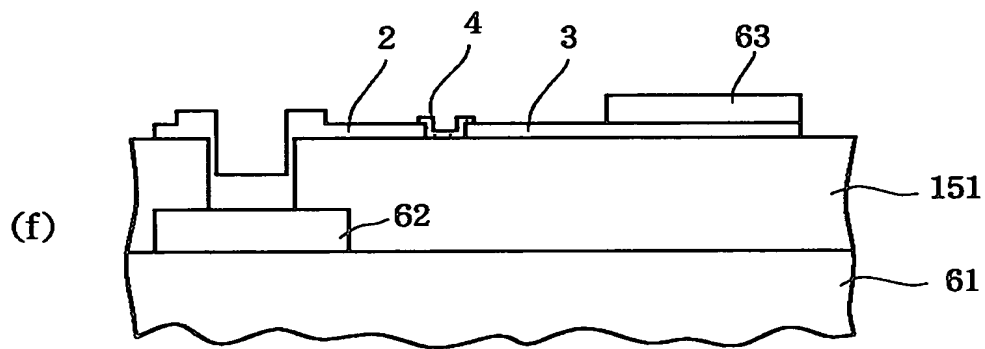
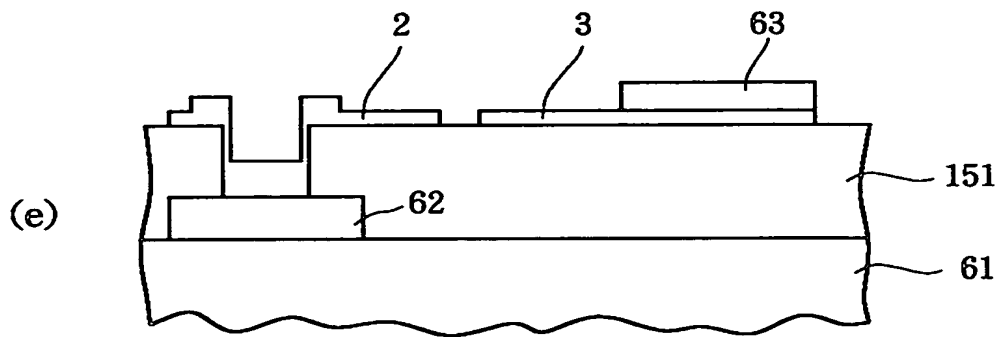
【図 1 5】



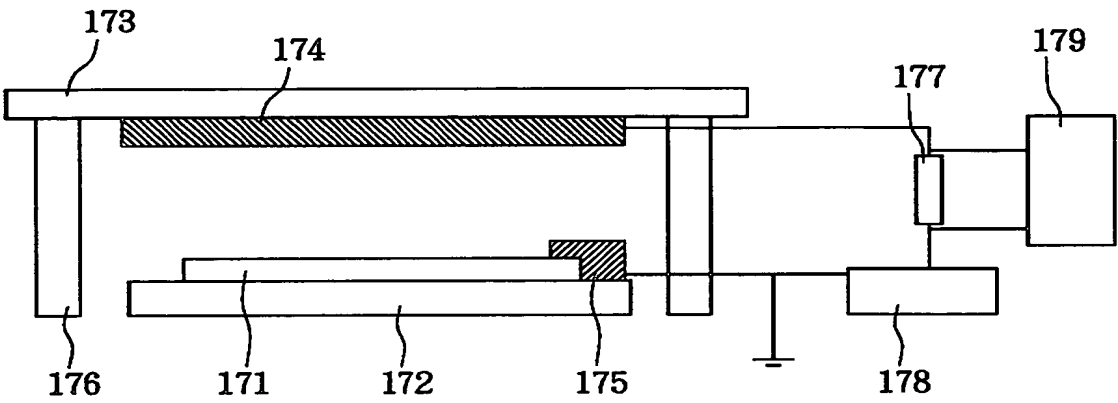
【図 16】



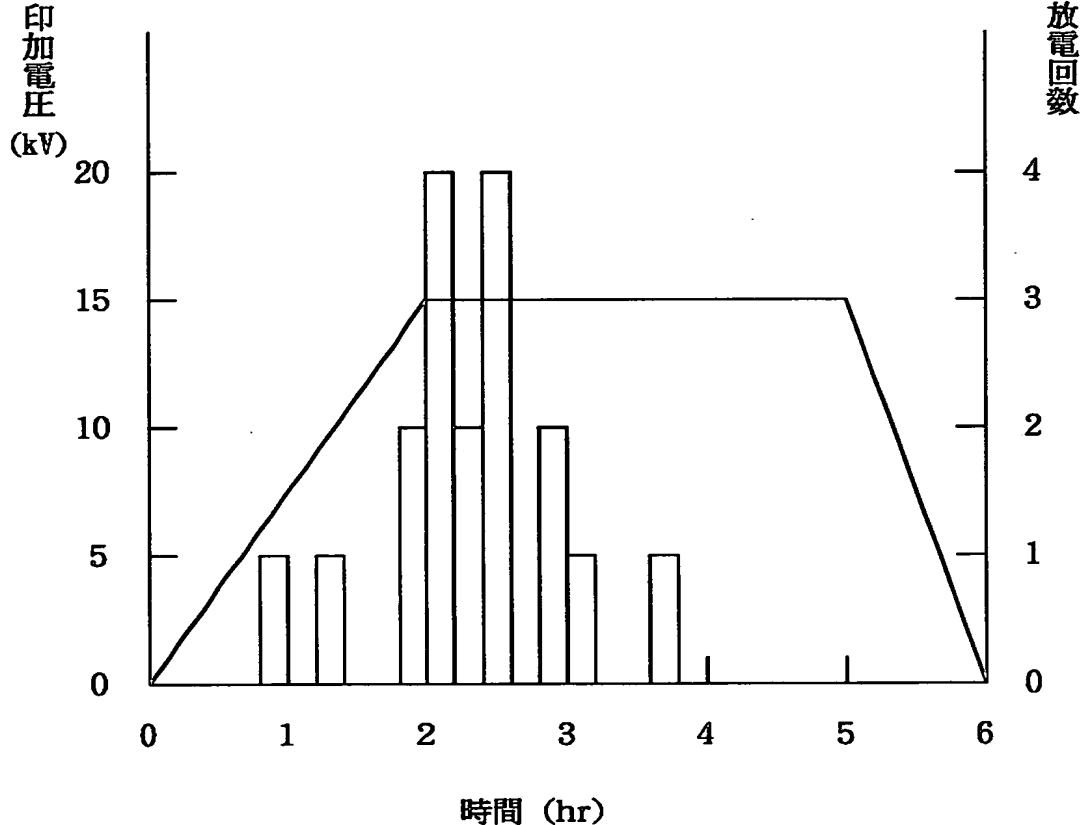
【図 17】



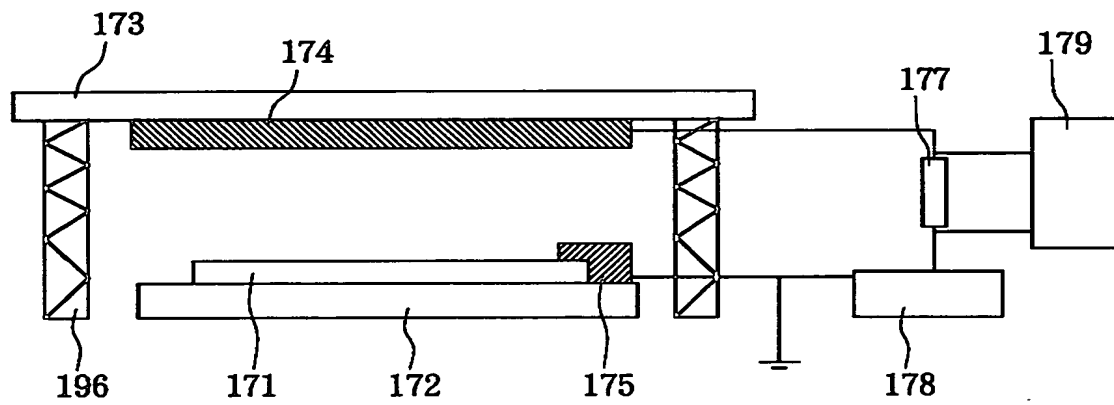
【図 1 8】



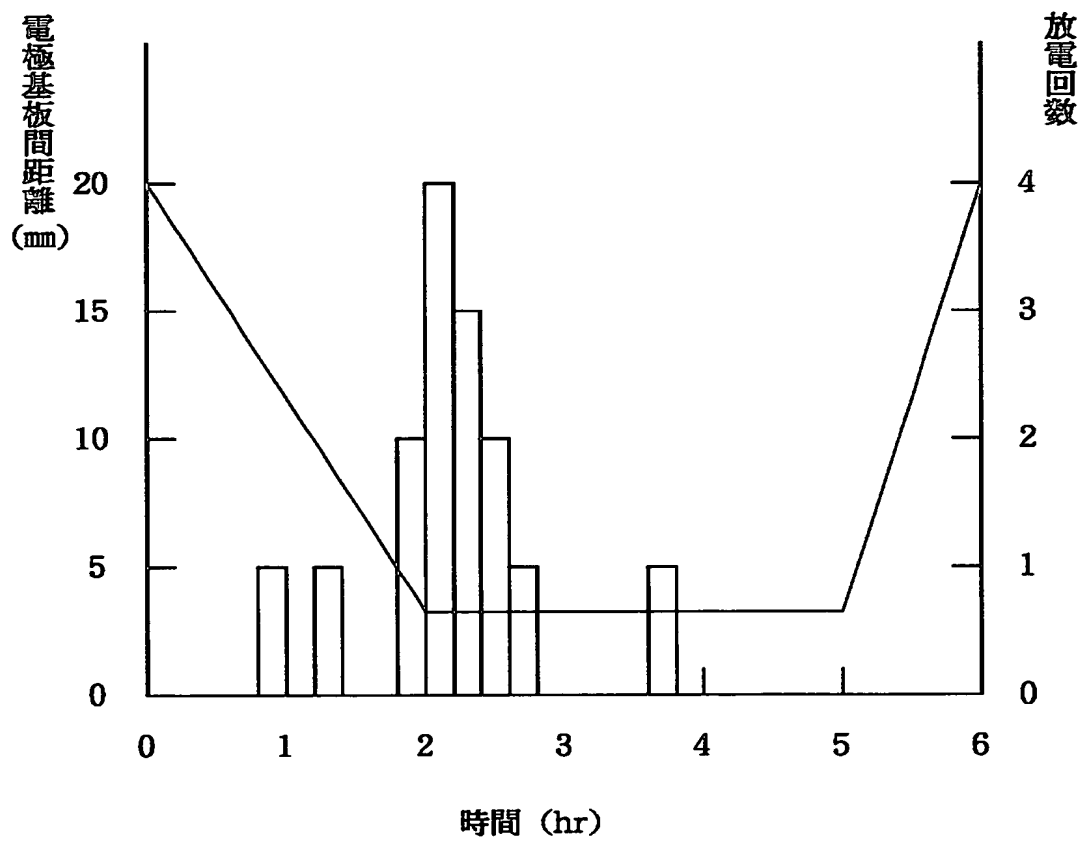
【図 1 9】



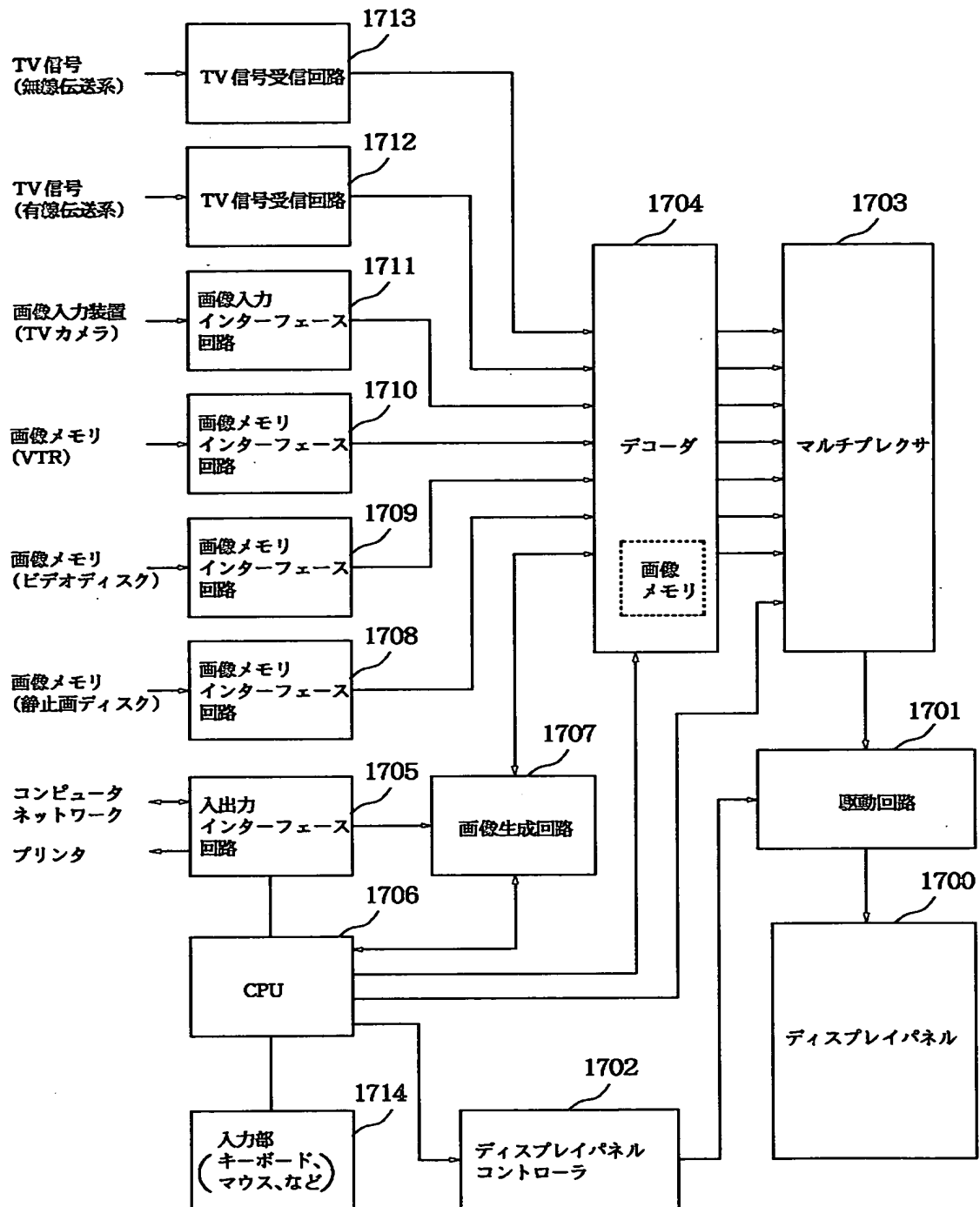
【図 2 0】



【図 2 1】



【図 22】



【書類名】 要約書

【要約】

【課題】 電子放出素子を用いた画像形成装置において、放電現象による欠落画素の発生を防止する。

【解決手段】 配線 7 4 と素子電極を形成した電子源基板 7 1 の該配線 7 4 に電極 7 2 を対向させ、配線 7 4 と電極 7 2 間に電圧を印加することにより予め放電現象を発生させて突起等を取り除く。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 0 0 7]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日

[変更理由] 新規登録

住 所 東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名 キヤノン株式会社